

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196037

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 27/04  
H01L 21/822

(21)Application number : 10-369017

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.12.1998

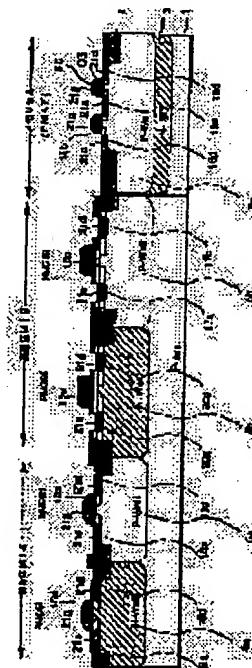
(72)Inventor : TANIGUCHI YASUHIRO  
YADORI SHOJI  
KURODA KENICHI  
IKEDA SHUJI  
HASHIMOTO KOJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable two different MISFETs, one is capable of operating at a high speed and the other is capable of operating on a high voltage, to be built in a semiconductor integrated circuit device, by a method wherein a MISFET formed of a metal.semiconductor reaction layer aligned with the end of a first insulating film is provided on the primary surface of a second region, and a MISFET formed of a metal.semiconductor reaction layer aligned with the end of a second insulating film is provided on the primary surface of a fourth region.

**SOLUTION:** High-concentration regions 19a, 19d and 16s, 16d as the source.drain regions of a MISFET of low breakdown voltage and metal.semiconductor reaction layer 21s and 21d are each aligned with the edges of first insulating films 15d and 15a formed by anisotropic etching on the side walls of gate electrodes 9a and 9b. High-concentration regions 20a, 20d and 17s, 17d as the source.drain regions of a MISFET of high withstand voltage and metal.semiconductor reaction layer 21s and 21d are each aligned with the edges of second insulating films 15e and 15c formed by a mask pattern. The second insulating films 15e and 15c are formed so as to be possessed of a pattern W2 larger than a first insulating film p pattern W1 in the direction of a gate length L.



### LEGAL STATUS

[Date of request for examination] 26.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation. 1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] It is on the 1st field which has the 1st semiconductor principal plane and the 2nd semiconductor principal plane which are characterized by providing the following, and which were mutually divided by one semiconductor main part, is adjusted by the 1st gate electrode prepared in the aforementioned 1st semiconductor principal plane through the insulator layer, and the aforementioned 1st gate electrode, and shows a conductivity type with the opposite conductivity type of the aforementioned 1st semiconductor principal plane, and the 1st field of the above. The 1st insulator layer prepared in the side attachment wall of the aforementioned 1st gate electrode. The 2nd field which is adjusted by the 1st insulator layer of the above, shows the same conductivity type as the 1st field of the above, and touches the 1st field. The 1st MISFET which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 2nd field principal plane by the 1st insulator layer of the above. The 2nd gate electrode prepared in the aforementioned 2nd semiconductor principal plane through the insulator layer, The 3rd field which is adjusted by the aforementioned 2nd gate electrode and indicates an opposite conductivity type to be the conductivity type of the aforementioned 2nd semiconductor principal plane, The 2nd insulator layer from which the width of face of the direction of gate length differs to the 1st insulator layer of the above which is on the 3rd field of the above and was prepared in the side attachment wall of the aforementioned 2nd gate electrode, The 2nd MISFET which consists of the 4th field which is adjusted by the 2nd insulator layer of the above, shows the same conductivity type as the 3rd field of the above, and touches the 3rd field, and the metal and semiconductor reaction layer which were adjusted by the aforementioned 4th field principal plane by the 2nd insulator layer of the above.

[Claim 2] Setting to a claim 1, each metal and semiconductor reaction layer are the above 1 and semiconductor integrated circuit equipment characterized by the bird clapper from cobalt silicide the 2nd MISFET.

[Claim 3] It is semiconductor integrated circuit equipment characterized by for the above 1st and the 2nd gate electrode consisting of a semiconductor in a claim 1, and forming the metal and the semiconductor reaction layer in each front face of the above 1st and the 2nd gate electrode.

[Claim 4] It is semiconductor integrated circuit equipment with which the aforementioned semiconductor consists of polycrystal silicon in a claim 3, and the aforementioned metal and semiconductor reaction layer are characterized by the bird clapper from cobalt silicide.

[Claim 5] the 1st well and the 2nd well which are characterized by providing the following and which were mutually divided by the semiconductor main part -- having -- the above -- it has consistency in the 1st gate electrode prepared in the principal plane through the insulator layer the 1st well, and the aforementioned 1st gate electrode -- having -- the 1st well of the above -- the inside of a principal plane -- the above -- the 1st field [ which shows a conductivity type with the opposite conductivity type of a well ], and 1st field top of the the The 1st insulator layer prepared in the side attachment wall of the aforementioned 1st gate electrode. The 2nd field which is adjusted by the 1st insulator layer of the above, shows the same conductivity type as the 1st field of the above, and touches the 1st field. The 1st MISFET which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 2nd field principal plane by the 1st insulator layer of the above. the above -- with the 2nd gate electrode prepared in the principal plane through the insulator layer the 2nd well it has consistency in the aforementioned 2nd gate electrode -- having -- the above -- with the 3rd field which shows a conductivity type with the conductivity type of the 2nd well of the above opposite in a principal plane the 2nd well The 2nd insulator layer from which the width of face of the direction of gate length differs to the 1st insulator layer of the above which is on the 3rd field of the above and was prepared in the side attachment wall of the

aforementioned 2nd gate electrode, The 2nd MISFET which consists of the 4th field which is adjusted by the 2nd insulator layer of the above, shows the same conductivity type as the 3rd field of the above, and touches the 3rd field, and the metal and semiconductor reaction layer which were adjusted by the aforementioned 4th field principal plane by the 2nd insulator layer of the above.

[Claim 6] Semiconductor integrated circuit equipment with which width of face of the 2nd insulator layer of the above is characterized by the large bird clapper rather than the width of face of the 1st insulator layer of the above in a claim 5.

[Claim 7] Setting to a claim 5, each metal and semiconductor reaction layer are the above 1 and semiconductor integrated circuit equipment characterized by the bird clapper from cobalt silicide the 2nd MISFET.

[Claim 8] It is semiconductor integrated circuit equipment characterized by for the above 1st and the 2nd gate electrode consisting of a semiconductor in a claim 5, and forming the metal and the semiconductor reaction layer in each front face of the above 1st and the 2nd gate electrode.

[Claim 9] It is semiconductor integrated circuit equipment with which the aforementioned semiconductor consists of polycrystal silicon in a claim 5, and the aforementioned metal and semiconductor reaction layer are characterized by the bird clapper from cobalt silicide.

[Claim 10] It is on the 1st field of the 1st high impurity concentration which has the 1st semiconductor and the 2nd semiconductor, which are characterized by providing the following, and which were divided by the discrete insulating layer, is adjusted by the 1st gate electrode prepared through the gate insulator layer on the 1st semiconductor of the above, the aforementioned 1st gate electrode, and the aforementioned discrete insulating layer, and shows a conductivity type with the opposite conductivity type of the 1st semiconductor of the above, and the 1st field of the above. The 1st insulator layer by which selection formation was carried out at the side attachment wall of the aforementioned 1st gate electrode. The 2nd field which is adjusted by the 1st insulator layer of the above, and the aforementioned discrete insulating layer, is the same conductivity type as the 1st field of the above, and shows high concentration as compared with the 1st high impurity concentration of the above, and touches the 1st field. The 1st MISFET which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 2nd field principal plane by the 1st insulator layer of the above. The 2nd gate electrode prepared through the gate insulator layer on the 2nd semiconductor of the above, The 3rd field of the 3rd high impurity concentration which is adjusted by the aforementioned 2nd gate electrode and the discrete insulating layer, and indicates an opposite conductivity type to be the conductivity type of the 2nd semiconductor of the above, It is on the 3rd field of the above, and the 2nd insulator layer by which selection formation was carried out by \*\*\*\*\*ing from the side attachment wall and the aforementioned discrete insulating layer of the aforementioned 2nd gate electrode, and the 2nd insulator layer of the above and the aforementioned discrete insulating layer have consistency. by the same conductivity type as the 3rd field of the above And the 4th field which shows high concentration as compared with the 3rd high impurity concentration of the above, and touches the 3rd field, and the metal and semiconductor reaction layer which were adjusted by the aforementioned 4th field principal plane by the 2nd insulator layer of the above.

[Claim 11] It is semiconductor integrated circuit equipment characterized by forming the above 1st and the 2nd semiconductor in the main part of single crystal silicon, respectively, for the above 1st and the 3rd gate electrode consisting of polycrystal silicon and the metal silicide layer formed in the front face in a claim 10, respectively, and the above 1st, and the metal and semiconductor reaction layer of the 2nd MISFET consisting of metal silicide.

[Claim 12] It is semiconductor integrated circuit equipment characterized by the aforementioned metal silicide being cobalt silicide in a claim 11.

[Claim 13] It is semiconductor integrated circuit equipment characterized by consisting of the insulating layer embedded at the slot where the aforementioned discrete insulating layer was prepared in the semiconductor main part in the claim 10, and its Mizouchi.

[Claim 14] They are the 1st by which selection formation of the above 1st and the 2nd semiconductor was carried out in the claim 13 at the aforementioned semiconductor main part, respectively, and semiconductor integrated circuit equipment with which it is a field the 2nd well and the aforementioned



discrete insulating layer is characterized by the above 1st and formed the 2nd well more shallowly than the depth of a field.

[Claim 15] It is semiconductor integrated circuit equipment characterized by the gate insulator layer of the 2nd above MISFET being thicker than the gate insulator layer of the 1st above MISFET in a claim 10.

[Claim 16] The impurity which is characterized by providing the following and which shows the 2nd conductivity type to the 2nd semiconductor principal plane by which forms the 2nd field and a mask is not carried out by the 2nd insulator layer of the above is introduced. The process which forms the 4th field which has the 4th high impurity concentration higher than the 3rd high impurity concentration of the above, The manufacture method of the process which forms the metal and semiconductor reaction layer adjusted by the aforementioned 4th field front face by the 2nd insulator layer of the above in the metal and the semiconductor reaction layer adjusted by the aforementioned 2nd field front face by the 1st insulator layer of the above, respectively, and the semiconductor integrated circuit equipment characterized by changing more. The process which carries out pattern formation of the 2nd gate electrode for the 1st gate electrode to the 1st semiconductor principal plane through the 2nd gate insulator layer at the 2nd semiconductor principal plane through the 1st gate insulator layer, respectively. The process which forms the 1st field which introduces the impurity to which an opposite conductivity type is indicated to be the conductivity type of the 1st semiconductor of the above into the aforementioned 1st semiconductor principal plane by which a mask is not carried out by the aforementioned 1st gate electrode, and has the 1st high impurity concentration. The process which forms the 3rd field which introduces the impurity to which the 2nd opposite conductivity type is indicated to be the 1st conductivity type of the 1st semiconductor of the above into the aforementioned 2nd semiconductor principal plane by which a mask is not carried out by the aforementioned 2nd gate electrode, and has the 3rd high impurity concentration. The process which forms an insulator layer in the 2nd semiconductor principal plane in which the 1st semiconductor principal plane in which the aforementioned 1st gate electrode was formed, and the aforementioned 2nd gate electrode were formed, respectively, The process which leaves the 1st insulator layer to the side attachment wall of the aforementioned 1st gate electrode by performing anisotropic etching for the insulator layer on the aforementioned 1st semiconductor principal plane, The process which leaves the 2nd insulator layer to the side attachment wall of the aforementioned 2nd gate electrode by preparing a pattern mask in the insulator layer on the aforementioned 2nd semiconductor principal plane, and carrying out pattern etching of the aforementioned insulator layer with the mask, The impurity in which the 2nd conductivity type is shown is introduced into the 1st semiconductor principal plane by which a mask is not carried out by the 1st insulator layer of the above, and it is the 2nd high impurity concentration higher than the 1st high impurity concentration of the above.

[Claim 17] The manufacture method of the semiconductor integrated circuit equipment characterized by forming the aforementioned metal and semiconductor reaction layer in the above 2nd and each 4th field front face by depositing a metal membrane on the above 2nd and the 4th field front face, and heat-treating the metal membrane after forming the above 2nd and the 4th field in a claim 16.

[Claim 18] The aforementioned metal and semiconductor reaction layer which the aforementioned metal membrane is cobalt in a claim 17, and was formed by heat treatment of the metal membrane are the manufacture method of the semiconductor integrated circuit equipment characterized by being cobalt silicide.

[Claim 19] It is the manufacture method of the semiconductor integrated circuit equipment characterized by for the above 1st and the 2nd gate electrode consisting of a polycrystal semiconductor in a claim 16, and for the aforementioned metal layer depositing on the 1st [ the ] and the 2nd gate electrode front face, and forming a metal and a semiconductor reaction layer in the above 1st and the 2nd gate electrode front face at the aforementioned metal and semiconductor layer formation process, respectively.

[Claim 20] It is the manufacture method of the semiconductor integrated circuit equipment characterized by the aforementioned metal and semiconductor reaction layer being cobalt silicide in a claim 19.

[Claim 21] It is on the 1st field of the 1st high impurity concentration which has the 1st semiconductor region and the 2nd semiconductor region on the substrate main part characterized by providing the following, is adjusted by the 1st gate electrode prepared in the aforementioned 1st semiconductor-region principal plane through the gate insulator layer which has the 1st thickness, and the aforementioned 1st

gate electrode, and shows a conductivity type with the opposite conductivity type of the 1st semiconductor region of the above in the 1st semiconductor region of the above, and the 1st field of the above. The 1st insulator layer which has the 1st side-attachment-wall width of face by which selection formation was carried out by having the 1st side-attachment-wall width of face on the side attachment wall of the aforementioned 1st gate electrode. The 2nd field where the 1st insulator layer of the above has consistency, it is the same conductivity type as the 1st field of the above, and high concentration is shown as compared with the 1st high impurity concentration of the above, and a part overlaps the 1st field. The 1st MISFET which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 2nd field principal plane by the 1st insulator layer of the above. The 2nd gate electrode prepared in the aforementioned 2nd semiconductor-region principal plane through the gate insulator layer which has the 2nd thickness thicker than the 1st thickness of the above, The 3rd field of the 3rd high impurity concentration which is adjusted by the aforementioned 2nd gate electrode and shows a conductivity type opposite to the conductivity type of the 1st semiconductor region of the above in the 2nd semiconductor region of the above, It is on the 3rd field of the above, and the side attachment wall of the aforementioned 2nd gate electrode has consistency by the 2nd insulator layer which has the larger 2nd side-attachment-wall width of face by which selection formation was carried out than the aforementioned 1st side-attachment-wall width of face, and the 2nd insulator layer of the above. by the same conductivity type as the 3rd field of the above And the 2nd MISFET which consists of the 4th field which shows high concentration as compared with the 3rd high impurity concentration of the above, and overlaps the 3rd field, and the metal and semiconductor reaction layer which were adjusted by the aforementioned 4th field principal plane by the 2nd insulator layer of the above.

[Claim 22] Setting to a claim 21, each metal and semiconductor reaction layer are the above 1 and semiconductor integrated circuit equipment characterized by the bird clapper from cobalt silicide the 2nd MISFET.

[Claim 23] It is semiconductor integrated circuit equipment characterized by for the above 1st and the 2nd gate electrode consisting of a semiconductor in a claim 21, and forming the metal and the semiconductor reaction layer in each front face of the above 1st and the 2nd gate electrode.

[Claim 24] It is semiconductor integrated circuit equipment with which the aforementioned semiconductor consists of polycrystal silicon in a claim 23, and the aforementioned metal and semiconductor reaction layer are characterized by the bird clapper from cobalt silicide.

[Claim 25] The 1st semiconductor region and the 2nd semiconductor region which were mutually divided by the semiconductor principal plane. The 1st MISFET which has the source drain field of the LDD structure which consisted of the low concentration fields and high concentration fields which were formed inside at the 1st semiconductor region of the above. The source drain field of the LDD structure which consisted of the low concentration fields and high concentration fields which were formed in the 2nd semiconductor region of the above. It is semiconductor integrated circuit equipment equipped with the above, and the offset length of the low concentration field in the 2nd above MISFET is larger than the offset length of the low concentration field in the 1st above MISFET, and it is characterized by forming the metal and the semiconductor reaction layer in the above 1st and each high concentration field front face of the 2nd MISFET.

[Claim 26] It is semiconductor integrated circuit equipment with which the aforementioned metal and semiconductor reaction layer are characterized by the bird clapper from cobalt silicide in a claim 25.

[Claim 27] The impurity for the 2nd conductivity type being shown is introduced into the 1st semiconductor principal plane by which a mask is not carried out to the process which is characterized by providing the following, and which leaves the 2nd insulator layer by the 1st insulator layer of the above. The process which forms the 2nd field which has the 2nd high impurity concentration higher than the 1st high impurity concentration of the above, and was adjusted by the 1st insulator layer of the above, The process which forms the 4th field which introduces the impurity for the 2nd conductivity type being shown into the 2nd semiconductor principal plane by which a mask is not carried out by the 2nd insulator layer of the above, has the 4th high impurity concentration higher than the 3rd high impurity concentration of the above, and was adjusted by the 2nd insulator layer of the above, The manufacture method of the process which forms the metal and semiconductor reaction layer adjusted by the

aforementioned 4th field front face by the 2nd insulator layer of the above in the metal and the semiconductor layer adjusted by the aforementioned 2nd field front face by the 1st insulator layer of the above, respectively, and the semiconductor integrated circuit equipment characterized by changing more. The process which carries out pattern formation of the 2nd gate electrode for the 1st gate electrode to the 1st semiconductor principal plane through the 2nd gate insulator layer at the 2nd semiconductor principal plane through the 1st gate insulator layer, respectively. The process which forms the 1st field which has the 1st high impurity concentration which introduced the impurity for indicating an opposite conductivity type to be the conductivity type of the 1st semiconductor of the above into the aforementioned 1st semiconductor principal plane by which a mask is not carried out by the aforementioned 1st gate electrode, and was adjusted by the aforementioned 1st gate electrode. The process which forms the 3rd field which has the 3rd high impurity concentration which introduced the impurity for indicating the 2nd opposite conductivity type to be the 1st conductivity type of the 1st semiconductor of the above into the aforementioned 2nd semiconductor principal plane by which a mask is not carried out by the aforementioned 2nd gate electrode, and was adjusted by the aforementioned 2nd gate electrode. The process which forms an insulator layer in the 2nd semiconductor principal plane in which the 1st semiconductor principal plane in which the aforementioned 1st gate electrode was formed, and the aforementioned 2nd gate electrode were formed, respectively, The process which leaves the 1st insulator layer to the side attachment wall of the aforementioned 1st gate electrode by performing anisotropic etching for the insulator layer on the aforementioned 1st semiconductor principal plane, Side-attachment-wall width of face which prepares a bigger pattern mask than the processing size of the aforementioned 2nd gate electrode in the insulator layer on the aforementioned 2nd semiconductor principal plane, carries out pattern etching of the aforementioned insulator layer so that it may be specified on the pattern mask, and becomes the side attachment wall of the aforementioned 2nd gate electrode from the side-attachment-wall width of face of the insulator layer of \*\*\*\*\* size.

[Claim 28] The manufacture method of the semiconductor integrated circuit equipment characterized by forming the aforementioned 2nd gate insulator layer more thickly than the thickness of the aforementioned 1st gate insulator layer in a claim 27.

[Claim 29] The manufacture method of the semiconductor integrated circuit equipment characterized by forming the aforementioned metal and semiconductor reaction layer in the above 2nd and each 4th field front face by depositing a metal membrane on the above 2nd and the 4th field front face, and heat-treating the metal membrane after forming the above 2nd and the 4th field in a claim 27.

[Claim 30] a claim 29 -- setting -- the aforementioned metal membrane -- cobalt -- it is -- the [ the metal membrane and 2nd field of the above, and ] -- the manufacture method of the semiconductor integrated circuit equipment characterized by forming alternatively the aforementioned metal and semiconductor reaction layer which consists of cobalt silicide by making 4 field front face react with heat treatment, and removing an unreacted metal membrane after an appropriate time

[Claim 31] It is the manufacture method of the semiconductor integrated circuit equipment characterized by forming the above 1st and the 2nd gate electrode with a polycrystal semiconductor in a claim 27, making the aforementioned metal layer deposit on the 1st [ the ] and the 2nd gate electrode front face, and forming a metal and a semiconductor reaction layer in the above 1st and the 2nd gate electrode surface outcrop at the aforementioned metal and semiconductor stratification process, respectively.

[Claim 32] The manufacture method of the semiconductor integrated circuit equipment characterized by forming cobalt silicide in a claim 31 as the metal and a semiconductor reaction layer of the above 1st and the 2nd gate electrode front face.

[Claim 33] the 2nd well of the 2nd conductivity type which shows a conductivity type with opposite 1st well of the 1st conductivity type and 1st conductivity type of the above which were divided mutually to one semiconductor main part characterized by providing the following -- having -- the above -- the 1st gate electrode prepared in the principal plane through the insulator layer the 1st well, and the above -- the 1st field [ of the 2nd conductivity type formed inside the 1st well ], and 1st field top of the above The 1st insulator layer prepared in the side attachment wall of the aforementioned 1st gate electrode. The 2nd field of the 2nd conductivity type which is adjusted by the 1st insulator layer of the above and touches the 1st field. The 1st MISFET of the 2nd conductivity-type channel which consists of the metal and

semiconductor reaction layer adjusted by the aforementioned 2nd field principal plane by the 1st insulator layer of the above. the above -- with the 2nd gate electrode prepared in the principal plane through the insulator layer the 2nd well the above -- with the 2nd insulator layer which is on the 3rd field of the 1st conductivity type, and the 3rd field of the above, and was prepared inside the 2nd well at the side attachment wall of the aforementioned 2nd gate electrode The 2nd MISFET of the 1st conductivity-type channel which consists of the 4th field of the 1st conductivity type which is adjusted by the 2nd insulator layer of the above and touches the 3rd field of the above, and the metal and semiconductor reaction layer which were adjusted by the aforementioned 4th field principal plane by the 2nd insulator layer of the above.

[Claim 34] It is CMIS semiconductor integrated circuit equipment which the 1st conductivity type of the above shows n type in a claim 33, and is characterized by the 2nd conductivity type of the above showing p type.

[Claim 35] It is CMIS semiconductor integrated circuit equipment which the above 1st and the 2nd gate electrode consist of a polycrystal semiconductor layer in a claim 33, respectively, and is characterized by including the impurity of the 1st conductivity type in the aforementioned 2nd gate electrode at the aforementioned 1st gate electrode including the impurity of the 2nd conductivity type.

[Claim 36] CMIS semiconductor integrated circuit equipment characterized by forming the metal and the semiconductor reaction layer in each front face of the above 1st and the 2nd gate electrode in a claim 34.

[Claim 37] It is CMIS semiconductor integrated circuit equipment with which each of the above 1st and the 2nd gate electrode consists of polycrystal silicon in a claim 35, and the aforementioned metal and semiconductor reaction layer are characterized by the bird clapper from cobalt silicide.

[Claim 38] The DRAM cell which consisted of one MISFET and a storage-capacitance element, and the logical circuit which consisted of CMISFET(s) are a semiconductor device which it is semiconductor integrated circuit equipment which is formed in one semiconductor main part and changes, and the gate electrode of the one aforementioned MISFET consists of polycide layers, and is characterized by the front face of the semiconductor region of Above CMISFET having a silicide layer.

[Claim 39] It is semiconductor integrated circuit equipment which it is semiconductor integrated circuit equipment which contains the flip-flop type SRAM cell of CMOS composition, and a SRAM cell consists of drive NMOS of the load PMOS of a couple, and a couple, and transfer NMOS of a couple, and is characterized by Above PMOS, the drive NMOS of a couple, and the transfer NMOS of a couple consisting of the Salicide electrode structure.

[Claim 40] The claim 39 characterized by providing the following. The gate electrode of the load PMOS of the aforementioned couple is a polycrystal silicon layer containing a P type impurity. It consists of the metal silicide layer formed in this polycrystal silicon layer front face, and is each gate electrode of the drive NMOS of the aforementioned couple, and the transfer MOS of a couple. Polycrystal silicon layer containing an N type impurity. The metal silicide layer formed in this polycrystal silicon layer front face.

[Claim 41] In the semiconductor integrated circuit equipment with which the 1st insulated-gate electric field effect type transistor for high pressure-proofing and the 2nd insulated-gate electric field effect type transistor for low pressure-proofing were formed in the semiconductor base The gate electrode of the 1st transistor of the above consists of a polycrystal silicon layer. An insulator layer is covered by this polycrystal silicon layer front face, and a metal silicide layer is formed in the high concentration field front face of the source of the 1st transistor of the above, and each drain field. The gate electrode of the 2nd transistor of the above consists of a polycrystal silicon layer. The sidewall layer which a metal silicide layer is formed in this polycrystal silicon layer front face, and becomes the side attachment wall of the aforementioned gate electrode from an insulating material is formed. Semiconductor integrated circuit equipment characterized by adjustment formation of the metal silicide layer being carried out by the aforementioned sidewall layer on the high concentration field front face of the source of the 1st transistor of the above, and each drain field.

[Claim 42] It is semiconductor integrated circuit equipment characterized by the aforementioned metal silicide layer consisting of cobalt silicide in a claim 41.

[Claim 43] It is semiconductor integrated circuit equipment characterized by the aforementioned sidewall layer consisting of a silicon oxide in a claim 41.

[Claim 44] In the semiconductor integrated circuit equipment with which the 1st insulated-gate electric field effect type transistor for high pressure-proofing and the 2nd insulated-gate electric field effect type transistor for low pressure-proofing were formed in the semiconductor base. The gate electrode of the 1st transistor of the above consists of a polycrystal silicon layer. An insulator layer is covered by the upper surface section and the lateral portion of this polycrystal silicon layer, and the source of the 1st transistor of the above and each drain field consist of a high concentration field and a low concentration field. Opening is prepared at the aforementioned insulator layer on the high concentration field front face of the source of the 1st transistor of the above, and each drain field. A metal silicide layer is formed in the aforementioned high concentration field front face in the aforementioned opening, the gate electrode of the 2nd transistor of the above consists of a polycrystal silicon layer and a metal silicide layer is formed in this polycrystal silicon layer front face. And the sidewall layer which becomes the side attachment wall of the aforementioned gate electrode from an insulating material is formed. The source of the 1st transistor of the above and each drain field consist of a high concentration field and a low concentration field. Semiconductor integrated circuit equipment characterized by adjustment formation of the metal silicide layer being carried out by the aforementioned sidewall layer on the high concentration field front face of the source of the 1st transistor of the above, and each drain field.

[Claim 45] It is semiconductor integrated circuit equipment characterized by the aforementioned metal silicide layer consisting of cobalt silicide in a claim 44.

[Claim 46] It is semiconductor integrated circuit equipment characterized by the aforementioned sidewall layer consisting of a silicon oxide in a claim 44.

[Claim 47] The manufacture method of semiconductor integrated circuit equipment characterized by providing the following of having the 1st insulated gate field effect transistor which constitutes the 1st conductivity-type channel in a semiconductor substrate, and the 2nd insulated gate field effect transistor which constitutes the 2nd conductivity-type channel. (1) The process which forms the 1st sidewall layer in the gate electrode of the 1st transistor of the above. (2) The process which forms the 2nd sidewall layer in the gate electrode of the 2nd transistor of the above, the process which has consistency in the 1st sidewall layer and forms a metal silicide layer in the source and the drain field front face of the 1st transistor of (3) above, and the process which has consistency in the 2nd sidewall layer and forms a metal silicide layer in the source and the drain field front face of the 2nd transistor of (4) above.

[Claim 48] It is the manufacture method of the semiconductor integrated circuit equipment which a process (1) and a process (2) are performed at another process in a claim 47, respectively, and is characterized by performing a process (3) and a process (4) at the same process.

[Claim 49] It is the manufacture method of the semiconductor integrated circuit equipment which a process (1) and a process (2) are performed at the same process in a claim 47, and is characterized by performing a process (3) and a process (4) at the same process.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to semiconductor integrated circuit equipment and its manufacturing technology, especially Flash memory 0 [EEPROM:Electrically] Erasable Programmable ROM and a CMOS logic operation circuit System-on-chip, or DRAM (Dynamic Random Access Memory) and the CMOS logic operation circuit 0 which were carried on the one chip [Complementary Metal Oxide Semiconductor] It applies to the system-on-chip which carried Logic circuit on the one chip, and is related with effective technology.

[0002]

[Description of the Prior Art] Noses of cam, such as recent years, multimedia, and information communication

[0003] For example, the movement of the further low-battery-izing has become strong with low-power-izing of commercial-scene needs. Specifically, supply voltage is reduced from 5V to 3.3V. By the movement of this reduction in power, LSI (Large Scale Integrated Circuit) process technology also serves as a product time of a 0.25-micron process, the product is 2.5V or 1.8V operation, and receives an interface by the high voltage, and the method which considers the interior as low-battery operation is becoming in use.

[0004] And with device structure, the low resistance-ized technology in which the refractory metal silicide film was used attracts attention corresponding to detailed-izing and improvement in the speed. Especially adoption of the low resistance-ized technology called the Salicide (salicide: abbreviated name of self-aligned silicide) technology is effective when realizing system-on-chip.

[0005] In addition, there is well-known reference 1-6 described below as Salicide technology.

(1) JP,7-211898,A (well-known reference 1)

The semiconductor device which secures the gate oxide-film resistance of an I/O section semiconductor device, and its manufacture method are indicated by the well-known reference 1. And CMOS application technology is indicated, a diffusion layer [ low concentration / diffusion layer / drain / the source and ] / is formed between the source, a drain diffusion layer, and the gate, and, unlike the source and the drain diffusion layer, this low concentration diffusion layer is further characterized by considering as the non-Salicide field. This well-known reference 1 is described in detail later.

[0006] (2) JP,7-106559,A (well-known reference 2)

Providing the well-known reference 2 with high-reliability and the manufacture method of a semiconductor device of having realized low-cost-ization, by forming [ the side of a gate electrode ] a wrap insulator layer for the boundary of a wrap insulator layer, an isolation field, and a transistor active region simultaneously is indicated. And it also leaves an isolation field edge at the time of processing of the side spacer insulator layer around the gate (silicon-oxide film), covering a mask, and the technology which is made to offset the source, and a drain and a silicide film from isolation, and carries out leak reduction is indicated.

[0007] (3) JP,7-183506,A (well-known reference 3)

Offering the transistor of the structure where layer resistance of the titanium silicide film which constitutes a gate electrode, and layer resistance of the titanium silicide film which constitutes the source drain field of the Salicide structure become especially the well-known reference 3 with the minimum simultaneously is indicated. And the technology of using the polycrystal silicon film [ dominance / as a gate electrode / stacking tendency / (111) ] / with which a titanium silicide film is formed is indicated. That is, especially the well-known reference 2 offers the Salicide technology on condition of the titanium silicide formation to a gate electrode.

[0008] (4) JP,7-263682,A (well-known reference 4)

The manufacture method of MISFET which has the Salicide structure that a leakage current can be reduced in the well-known reference 4, and parasitism resistance can be reduced in it is indicated.

[0009] According to the well-known reference 4, after forming the 1st diffusion layer by the ion implantation and heat-treatment, the 2nd ion implantation is performed by using a sidewall as a mask, and the 2nd diffusion layer is formed, and the impurity of the 2nd diffusion layer is activated using the elevated-temperature short-time heat-treating method (RTA). By this, the crystal defect in the diffusion layer produced with the ion implantation is carried out, and low concentration-ization of the impurity near the interface of the front face of a diffusion layer and the base of a silicide layer is prevented, and parasitism resistance is reduced.

[0010] (5) JP,9-82949,A (well-known reference 5)

The well-known reference 5 has few leakage currents, and a semiconductor device with a large working speed and its manufacture method are indicated compared with the case where neither a metal silicide layer nor a metal layer is formed on the source and a drain. According to the well-known reference 5, an offset layer is prepared between the edges of the source, the pn junction interface of a drain, a metal silicide layer, or a metal layer, and it aims at suppressing generating of the leakage current between both. An offset layer is controlled by thickness (sidewall width of face of the direction of channel length) of the sidewall spacer formed in a gate side attachment wall.

[0011] (6) JP,10-12748,A (well-known reference 6)

Using titanium (Ti) or cobalt (Co) for the well-known reference 6 as a concrete metallic material for acquiring offering the CMOS semiconductor device of the different-species gate structure (dual gate structure) which introduced and formed the impurity of a different conductivity type, and adopting the Salicide structure, and its Salicide structure is indicated.

[0012] On the other hand, when including MISFET of two or more LDD (Lightly Doped Drain) structures



in one semiconductor substrate, the technology of offering MISFET of the electrical property from which various differs is indicated by the following reference.

[0013] (7) JP,62-283666,A (well-known reference 7)

The technology of changing the width of face of the semiconductor region of low high impurity concentration of the sidewall lower part into the well-known reference 7 by changing the width of face of a sidewall is indicated. That is, MISFET from which the offset width of face from a gate electrode edge to the semiconductor-region edge of high high impurity concentration differs is offered. In addition, application of the Salicide technology is not indicated at all by this well-known reference 7.

[0014] (8) JP,63-226055,A (well-known reference 8)

While securing pressure-proofing of n channel MISFET, the technology which improves the current driving force of p-channel MISFET is indicated by the well-known reference 8. Technology indicated by this well-known reference 8, While lengthening the size of the LDD section of n channel MISFET, isolating between the source of high high impurity concentration, and a drain field and securing pressure-proofing between both fields, the size of the LDD section of p-channel MISFET is shortened, the series resistance value of a source field and the series resistance value of a drain field are reduced, and current driving force is raised. As for application of the Salicide technology, this well-known reference 8 is not indicated at all, either.

[0015]

[Problem(s) to be Solved by the Invention] Two or more MISFET(s) made to drive by the external power voltage 3.3V and two or more MISFET(s) which are made to generate the 1st internal-electrical-power-source voltage of 1.8V by the pressure-lowering circuit for low consumption and improvement in the speed, and are made to drive on the 1st internal-electrical-power-source voltage are needed using the case of the system-on-chip which builds in logic operation circuits, such as a flash memory array and a microcomputer, for example, the external power of 3.3V. And further, the 2nd internal-electrical-power-source voltage of 10V-12V is generated by the booster circuit, and two or more MISFET(s) made to drive for the writing to the memory cell as which it was chosen in the flash memory array on the 2nd internal-electrical-power-source voltage (10-12V) etc. are needed. MISFET made to drive by 3.3V or 1.8V like the former hereafter is called the low proof pressure MIS, and MISFET made to drive by 10-12V like the latter is called the high proof pressure MIS. These low proof pressure MIS and the high proof pressure MIS are built in with CMOS composition (pair of p-channel MISFET and n channel MISFET) in one semiconductor main part (semiconductor chip), respectively.

[0016] It was possible to reduce resistance of a gate electrode and a diffusion layer (source drain field) with the Salicide technology for the improvement in capacity of the device (MISFET) which constitutes this system-on-chip.

[0017] Moreover, in the 2nd internal-electrical-power-source circuit in system-on-chip (high-voltage power circuit), it was able to consider making a high-concentration diffusion layer (contact field) offset from a gate electrode or a field oxide film as technology of a device. Such a device is called "offset MOS."

[0018] Pressure-proofing of a diffusion layer is enlarged and this technology enables it to secure the margin to high-voltage generating. That is, a low-concentration field is prepared rather than the diffusion layer between the channel field under a gate electrode, and a high-concentration diffusion layer, and properties, such as the drain source breakdown voltage (gate-voltage opening) BV<sub>ds0</sub> of a device, are raised by the high resistive layer which consists only of a low-concentration field (extention layer) being formed by the meantime by a channel field and a high-concentration diffusion layer offsetting. In order to manufacture a product (namely, system LSI) which carries a flash memory and a microcomputer on the same chip, maintaining a high device performance, the technology which is compatible in the above-mentioned offset MOS and the Salicide technology is required. however, when compatible in these two technology, the trouble which is the following became clear

[0019] The low concentration diffusion layer (extention layer) top of an offset field was also silicide-ized by SHIRISAIDESHON on the diffusion layer in which Offset MOS was formed. For this reason, increase of the junction leak by sucking of the impurity in the diffusion layer of silicide reaction time arises.

[0020] Moreover, Offset MOS cannot demonstrate the performance of demand \*\*\*\*\* according to factors, such as current concentration by the reduction in surface resistance. That is, if the portion which changed

to the extension layer (high resistive layer) rapidly from the silicide layer (low resistive layer) exists in a diffusion layer and current concentrates on the portion, local fusing will arise and it will result in degradation of a device property.

[0021] In order to solve this problem, the low concentration diffusion layer top of Offset MOS was covered with the photoresist mask, and how to form a silicide layer only on a high concentration diffusion layer was able to be considered.

[0022] It can realize by the above-mentioned method, without preventing SHIRISAIDESHON of a low concentration diffusion layer front face, and Salicide and Offset MOS degrading a property within the same chip.

[0023] In addition, in the well-known reference 1 described previously, drawing 1 (e) shows the I/O section semiconductor device of the offset structure of having the non-Salicide field. That is, the silicide layer (Salicide field :  $\text{TiSi}_2$ ) is alternatively formed only on the high-concentration diffusion layer. And even if the voltage more than operating voltage will be impressed to the source and a drain diffusion layer if it is made such semiconductor device structure, so that clearly from the publication of the 3rd page left column of an official report, and [0012] terms, when not only a gate oxide film but the resistance of a LOCOS oxide-film edge is securable, it is.

[0024] However, by this method, since the wrap process is required, it is obliged to the increase in cost by the increase in mask number of sheets with a photoresist mask, so that the above-mentioned low-concentration diffusion layer front face may not be silicide-ized.

[0025] Moreover, since it is necessary to perform layout design in consideration of the doubling gap with the mask for forming a non-silicide field, and the diffusion layer which encloses the field, there is a problem that detailed-izing is difficult.

[0026] In order to make high integration of system-on-chip, and low-cost-ization realize, it has been an important technical problem how mask number of sheets is reduced.

[0027] Reduction of mask number of sheets is because a series of processings of not only reduction of the manufacture cost of the mask itself but the application of the photoresist for the photoresist pattern formation which used the mask, sensitization, development, and washing and dryness can be cut down and the process cost of semiconductor integrated circuit equipment can be reduced sharply. And it is because it becomes possible to be able to reduce the poor incidence rate by the foreign matter, and to raise the yield and reliability of semiconductor integrated circuit equipment further.

[0028] Then, the artificer etc. examined skipping the photoresist mask process for the Salicide field formation in Offset MOS, and observed the mask for  $\text{N}^+$  (high concentration) diffusion layer formation and the mask for  $\text{P}^+$  (high concentration) diffusion layer formation in CMOS.

[0029] MISFET in which the 1st purpose of this invention has possible high-speed operation -- and it is in offering the new semiconductor integrated circuit equipment which contains MISFET in which a high-voltage drive is possible

[0030] The 2nd purpose of this invention is to offer the method of being a low cost about the semiconductor integrated circuit equipment which contains the same conductivity-type channel MISFET which has a mutually different property, and making improvement in the manufacture yield realizing.

[0031] The 3rd purpose of this invention is to offer the new semiconductor integrated circuit equipment which contained the low proof pressure MISFET and the high proof pressure MISFET.

[0032] The 4th purpose of this invention is to offer the method of making the semiconductor integrated circuit equipment which contained the low proof pressure MISFET and the high proof pressure MISFET realizing by the low cost.

[0033] MISFET in which the 5th purpose of this invention has possible high-speed operation -- and it is in offering the new CMOS semiconductor integrated circuit equipment which contains MISFET in which a high-voltage drive is possible

[0034] The 6th purpose of this invention is to offer the method of making the CMOS semiconductor integrated circuit equipment which contains p-channel MISFET which has a mutually different property, and n channel MISFET which has a mutually different property realizing by the low cost.

[0035] The 7th purpose of this invention offers the new semiconductor integrated circuit equipment which contained the flash memory and the logic operation circuit in which high-speed operation is possible in



one semiconductor chip.

[0036] The purpose of the octavus of this invention offers the method of realizing the semiconductor integrated circuit equipment which contained the flash memory and the logic operation circuit in which high-speed operation is possible in one semiconductor chip by the low cost.

[0037] The 9th purpose of this invention offers the new semiconductor integrated circuit equipment which contained SRAM and the logic operation circuit in which high-speed operation is possible in one semiconductor chip.

[0038] The 10th purpose of this invention offers the method of realizing the semiconductor integrated circuit equipment which contained SRAM and the logic operation circuit in which high-speed operation is possible in one semiconductor chip by the low cost.

[0039] The 11th purpose of this invention offers the new semiconductor integrated circuit equipment which contained DRAM and the logic operation circuit in which high-speed operation is possible in one semiconductor chip.

[0040] The 12th purpose of this invention offers the method of realizing the semiconductor integrated circuit equipment which contained DRAM and the logic operation circuit in which high-speed operation is possible in one semiconductor chip by the low cost.

[0041]

[Means for Solving the Problem] (1) The 1st gate electrode which the 1st means of this invention has the 1st semiconductor principal plane and the 2nd semiconductor principal plane which were mutually divided by one semiconductor main part, and was prepared in the aforementioned 1st semiconductor principal plane through the gate insulator layer, The 1st comparatively low-concentration field which is adjusted by the aforementioned 1st gate electrode and indicates an opposite conductivity type to be the conductivity type of the aforementioned 1st semiconductor principal plane, The 1st insulator layer which is on the 1st field of the above and was prepared in the side attachment wall of the aforementioned 1st gate electrode, The 2nd comparatively high-concentration field which is adjusted by the edge of the 1st insulator layer of the above, shows the same conductivity type as the 1st field of the above, and touches the 1st field, The 1st MISFET which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 2nd field principal plane at the edge of the 1st insulator layer of the above, The 2nd gate electrode prepared in the aforementioned 2nd semiconductor principal plane through the gate insulator layer, The 3rd comparatively low-concentration field which is adjusted by the aforementioned 2nd gate electrode and indicates an opposite conductivity type to be the conductivity type of the aforementioned 2nd semiconductor principal plane, It is on the 3rd field of the above, and is prepared in the side attachment wall of the aforementioned 2nd gate electrode, and the 1st insulator layer of the above is received. The 2nd insulator layer with the large width of face of the direction of gate length, The edge of the 2nd insulator layer of the above has consistency, the same conductivity type as the 3rd field of the above is shown, and it has the 2nd MISFET which consists of the 4th comparatively high-concentration field adjacent to the 3rd field, and the metal and semiconductor reaction layer which were adjusted by the aforementioned 4th field principal plane at the edge of the 2nd insulator layer of the above.

[0042] According to the means (1) mentioned above, it is the 1st MISFET. The 2nd field and a metal semiconductor reaction layer are adjusted by the edge of the 1st insulator layer, respectively, and the 4th field of the 2nd MISFET \*\* and the metal semiconductor reaction layer are adjusted by the edge of the 2nd insulator layer again, respectively, and the 2nd and the electrode drawer section of the 4th field are formed into low resistance with a metal and a semiconductor reaction film.

[0043] Therefore, it reaches the 1st MISFET and the high-speed operation of each 2nd MISFET becomes possible. And the distance from the PN-junction edge which consisted of the 2nd semiconductor of the above and the 1st field of the above to a metal and a semiconductor reaction layer is large as compared with the distance from the PN-junction edge which consisted of the 1st semiconductor of the above, and the 2nd field of the above to a metal and a semiconductor reaction layer by having made width of face of the 2nd insulator layer of the above larger than the width of face of the 1st insulator layer of the above. For this reason, stretch of the depletion layer in the 3rd field of the above can be secured enough, and the 2nd pressure-proof high MISFET, i.e., MISFET in which a high-voltage drive is possible, is obtained

rather than the 1st MISFET.

[0044] (2) The 1st gate electrode which the 2nd means of this invention has the 1st semiconductor and the 2nd semiconductor which were divided by the discrete insulating layer, and was prepared through the insulator layer on the 1st semiconductor of the above, The 1st field of the 1st high impurity concentration which is adjusted by the aforementioned 1st gate electrode and the aforementioned discrete insulating layer, and indicates an opposite conductivity type to be the conductivity type of the 1st semiconductor of the above, It is on the 1st field of the above, and the 1st insulator layer alternatively left behind to the side attachment wall of the aforementioned 1st gate electrode, and the 1st insulator layer of the above and the aforementioned discrete insulating layer have consistency. by the same conductivity type as the 1st field of the above And the 2nd field which shows high concentration as compared with the 1st high impurity concentration of the above, and touches the 1st field, The 1st MISFET which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 2nd field principal plane by the 1st insulator layer of the above, The 2nd gate electrode prepared through the insulator layer on the 2nd semiconductor of the above, and the 3rd field of the 3rd high impurity concentration which is adjusted by the aforementioned 2nd gate electrode and the discrete insulating layer, and shows a conductivity type with the opposite conductivity type of the 2nd semiconductor of the above, It is on the 3rd field of the above, and the 2nd insulator layer by which selection formation was carried out by \*\*\*\*\*ing from the side attachment wall and the aforementioned discrete insulating layer of the aforementioned 2nd gate electrode, and the 2nd insulator layer of the above and the aforementioned discrete insulating layer have consistency. by the same conductivity type as the 3rd field of the above And the 4th field which shows high concentration as compared with the 3rd high impurity concentration of the above, and touches the 3rd field, It has the 2nd MISFET which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 4th field principal plane by the 2nd insulator layer of the above. the pattern width of face of the 2nd insulator layer of the above from the aforementioned 2nd gate electrode edge is larger than the pattern width of face of the 1st insulator layer of the above from the aforementioned 1st gate electrode edge -- it is set up

[0045] According to the means (2) mentioned above, stretch of the depletion layer in the 3rd field of the above can be secured enough, and the 2nd pressure-proof large MISFET is obtained rather than the 1st MISFET. Moreover, since the metal and semiconductor reaction layer of the 2nd MISFET separate from the 3rd field of the above, and a discrete insulating layer and is formed, the problem of junction leak is solved.

[0046] (3) The process to which the 3rd means of this invention carries out pattern formation of the 2nd gate electrode for the 1st gate electrode to the 1st semiconductor principal plane through the 2nd gate insulator layer at the 2nd semiconductor principal plane through the 1st gate insulator layer, respectively, The process which forms the 1st field which introduces the impurity to which an opposite conductivity type is indicated to be the conductivity type of the 1st semiconductor of the above into the aforementioned 1st semiconductor principal plane by which a mask is not carried out by the aforementioned 1st gate electrode, and has the 1st high impurity concentration, The process which forms the 3rd field which introduces the impurity to which the 2nd opposite conductivity type is indicated to be the 1st conductivity type of the 1st semiconductor of the above into the aforementioned 2nd semiconductor principal plane by which a mask is not carried out by the aforementioned 2nd gate electrode, and has the 3rd high impurity concentration, The process which forms an insulator layer in the \*\*\*\*\*ed 2nd semiconductor principal plane, respectively, and the process which leaves the 1st insulator layer to the side attachment wall of the aforementioned 1st gate electrode by performing anisotropic etching for the insulator layer on the aforementioned 1st semiconductor principal plane, The process which leaves the 2nd insulator layer to the side attachment wall of the aforementioned 2nd gate electrode by preparing a pattern mask in the insulator layer on the aforementioned 2nd semiconductor principal plane, and carrying out pattern etching of the aforementioned insulator layer with the mask, The impurity in which the 2nd conductivity type is shown is introduced into the 1st semiconductor principal plane by which a mask is not carried out by the 1st insulator layer of the above. The 2nd field which has the 2nd high impurity concentration higher than the 1st high impurity concentration of the above is formed. The process which forms the 4th field which introduces the impurity in which the 2nd conductivity type is shown into the 2nd

semiconductor principal plane by which a mask is not carried out by the 2nd insulator layer of the above, and has the 4th high impurity concentration higher than the 3rd high impurity concentration of the above. It consists of the process which forms the metal and semiconductor reaction layer adjusted by the aforementioned 4th field front face by the 2nd insulator layer of the above in the metal and the semiconductor layer adjusted by the aforementioned 2nd field front face by the 1st insulator layer of the above, respectively.

[0047] According to the means (3) mentioned above, since the 2nd field, and the metal and semiconductor layer of the front face are carried out by the 1st insulator layer of the above and self-adjustment formation of the 4th field, and the metal and semiconductor layer of the front face is carried out by the 2nd insulator layer, respectively, reduction of mask number of sheets can be aimed at. Therefore, a series of processings of not only reduction of the manufacture cost of the mask itself but the application of the photoresist for the photoresist pattern formation using the mask, sensitization, development, and washing and dryness can be cut down, and the process cost of semiconductor integrated circuit equipment can be reduced sharply. Moreover, it is because it becomes possible to be able to reduce the poor incidence rate by the foreign matter, and to raise the yield and reliability of semiconductor integrated circuit equipment.

[0048] (4) The 1st gate electrode prepared through the gate insulator layer which the 4th means of this invention has the 1st semiconductor region and the 2nd semiconductor region in a substrate, and has the 1st thickness in the aforementioned 1st semiconductor region principal plane. The 1st field of the 1st high impurity concentration which is adjusted by the aforementioned 1st gate electrode and shows a conductivity type opposite to the conductivity type of the 1st semiconductor region of the above in the 1st semiconductor region of the above. The 1st insulator layer which has the 1st side-attachment-wall width of face by which is on the 1st field of the above and selection formation was carried out by having the 1st side-attachment-wall width of face on the side attachment wall of the aforementioned 1st gate electrode, and the 1st insulator layer of the above have consistency by the same conductivity type as the 1st field of the above. And the 2nd field where high concentration is shown as compared with the 1st high impurity concentration of the above, and a part overlaps the 1st field. The 1st MISFET which consists of the metal and semiconductor reaction layer formed in the aforementioned 2nd field principal plane. The 2nd gate electrode prepared in the aforementioned 2nd semiconductor region principal plane through the gate insulator layer which has the 2nd thickness thicker than the 1st thickness of the above. The 3rd field of the 3rd high impurity concentration which is adjusted by the aforementioned 2nd gate electrode and shows a conductivity type opposite to the conductivity type of the 1st semiconductor region of the above in the 2nd semiconductor region of the above. It is on the 3rd field of the above, and the side attachment wall of the aforementioned 2nd gate electrode has consistency by the 2nd insulator layer which has the larger 2nd side-attachment-wall width of face by which selection formation was carried out than the aforementioned 1st side-attachment-wall width of face, and the 2nd insulator layer of the above, by the same conductivity type as the 3rd field of the above. And high concentration is shown as compared with the 3rd high impurity concentration of the above, and it has the 2nd MISFET which consists of the 4th field which overlaps the 3rd field, and the metal and semiconductor reaction layer which were formed in the aforementioned 4th field principal plane.

[0049] the [ the 2nd field front face which is the contact field of the 1st MISFET according to the means (4) mentioned above, and ] -- since a metal and a semiconductor reaction layer are formed in the 4th field front face which is the contact field of 2MISFET, respectively and low resistance is formed, improvement in the speed and low-power-ization can be attained. And since the 4th field of the 2nd MISFET is adjusted and formed in the 2nd insulator layer which has the larger 2nd side-attachment-wall width of face than the 1st side-attachment-wall width of face, its offset length of the 3rd field under the 2nd insulator layer is longer than the offset length of the 2nd field under the 1st insulator layer. Therefore, stretch of the depletion layer in the 3rd field can be secured enough, and the 2nd pressure-proof high MISFET is obtained rather than the 1st MISFET.

[0050] In addition, offset length here shows the distance from the gate electrode edge of the direction of channel length to a high concentration field edge.

[0051] (5) The process to which the 5th means of this invention carries out pattern formation of the 2nd

gate electrode for the 1st gate electrode to the 1st semiconductor principal plane through the 2nd gate insulator layer at the 2nd semiconductor principal plane through the 1st gate insulator layer, respectively. The impurity for indicating an opposite conductivity type to be the conductivity type of the 1st semiconductor of the above is introduced into the aforementioned 1st semiconductor principal plane by which a mask is not carried out by the aforementioned 1st gate electrode. The process which forms the 1st field which has the 1st high impurity concentration adjusted by the aforementioned 1st gate electrode, The impurity for indicating the 2nd opposite conductivity type to be the 1st conductivity type of the 1st semiconductor of the above is introduced into the aforementioned 2nd semiconductor principal plane by which a mask is not carried out by the aforementioned 2nd gate electrode. The process which forms the 3rd field which has the 3rd high impurity concentration adjusted by the aforementioned 2nd gate electrode, The process which forms an insulator layer in the 2nd semiconductor principal plane in which the 1st semiconductor principal plane in which the aforementioned 1st gate electrode was formed, and the aforementioned 2nd gate electrode were formed, respectively, The process which leaves the 1st insulator layer to the side attachment wall of the aforementioned 1st gate electrode by performing anisotropic etching for the insulator layer on the aforementioned 1st semiconductor principal plane, Prepare a pattern mask in the insulator layer on the aforementioned 2nd semiconductor principal plane, and pattern etching of the aforementioned insulator layer is carried out so that it may be specified on the pattern mask. On the side attachment wall of the aforementioned 2nd gate electrode, size rather than the side-attachment-wall width of face of the insulator layer of \*\*\*\*\* The process which leaves the 2nd insulator layer which has the becoming side-attachment-wall width of face, The impurity for the 2nd conductivity type being shown is introduced into the 1st semiconductor principal plane by which a mask is not carried out by the 1st insulator layer of the above. Have the 2nd high impurity concentration higher than the 1st high impurity concentration of the above, and the 2nd field adjusted by the 1st insulator layer of the above is formed. The process which forms the 4th field which introduces the impurity for the 2nd conductivity type being shown into the 2nd semiconductor principal plane by which a mask is not carried out by the 2nd insulator layer of the above, has the 4th high impurity concentration higher than the 3rd high impurity concentration of the above, and was adjusted by the 2nd insulator layer of the above, It consists of the process which forms the metal and semiconductor reaction layer adjusted by the aforementioned 4th field front face by the 2nd insulator layer of the above in the metal and the semiconductor layer adjusted by the aforementioned 2nd field front face by the 1st insulator layer of the above, respectively.

[0052] According to the means (5) mentioned above, width of face of the 2nd field from the 2nd gate electrode edge to the 4th field edge can be made larger than the width of face of the 1st field from the 1st gate electrode edge to the 2nd field edge. Therefore, the 1st MISFET is high-speed operation and the device function (property) as a low proof pressure MISFET to have been comparatively suitable for the low-battery drive is obtained. On the other hand, the 2nd MISFET is high-speed operation and the device function (property) as a high proof pressure MISFET to have been comparatively suitable for the low-battery drive is obtained. Moreover, since the 2nd field, and the metal and semiconductor layer of the front face are carried out by the 1st insulator layer of the above and self-adjustment formation of the 4th field, and the metal and semiconductor layer of the front face is carried out by the 2nd insulator layer, respectively, reduction of mask number of sheets can be aimed at. Therefore, the process cost of semiconductor integrated circuit equipment can also be reduced sharply.

[0053] (6) The 6th means of this invention has the 2nd well of the 2nd conductivity type which shows a conductivity type with opposite 1st well of the 1st conductivity type and 1st conductivity type of the above which were divided mutually to one semiconductor main part. the above -- with the 1st gate electrode prepared in the principal plane through the insulator layer the 1st well the above -- with the 1st field of the 2nd conductivity type formed inside the 1st well, and the 1st insulator layer which is on the 1st field of the above and was prepared in the side attachment wall of the aforementioned 1st gate electrode The 2nd field of the 2nd conductivity type which is adjusted by the 1st insulator layer of the above and touches the 1st field, The 1st MISFET of the 2nd conductivity-type channel which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 2nd field principal plane by the 1st insulator layer of the above, the above -- with the 2nd gate electrode prepared in the principal plane

through the insulator layer the 2nd well the above -- with the 2nd insulator layer which is on the 3rd field of the 1st conductivity type, and the 3rd field of the above, and was prepared inside the 2nd well at the side attachment wall of the aforementioned 2nd gate electrode. The 4th field of the 1st conductivity type which is adjusted by the 2nd insulator layer of the above and touches the 3rd field of the above, CMIS semiconductor integrated circuit equipment characterized by having the 2nd MISFET of the 1st conductivity-type channel which consists of the metal and semiconductor reaction layer adjusted by the aforementioned 4th field principal plane by the 2nd insulator layer of the above.

[0054] According to the means (6) mentioned above, the 2nd field which is a contact field for the 1st MISFET (specifically p-channel MISFET), and the metal and semiconductor reaction layer which are formed in the 2nd field front face are adjusted by the 1st insulator layer. The 4th field which is a contact field for the 2nd MISFET (specifically n channel MISFET), and the metal and semiconductor reaction layer which are formed in the 4th field front face are adjusted by the 2nd insulator layer. And the 2nd and the 4th field front face prepare a metal and a semiconductor reaction layer, and are formed into low resistance.

[0055] In the above, the The means for solving a technical problem and operation of a typical this invention were described briefly. Furthermore, the solution means of this invention for attaining the above-mentioned purpose is clarified with the gestalt of implementation of invention described below.

[0056]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained in detail based on a drawing. In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0057] The gestalt 1 of the <gestalt 1 of operation> book operation explains the case where it applies to the semiconductor integrated circuit equipment which prepared 8 M bit flash memory, a high-speed logical circuit, and its circumference circuit in the same semiconductor chip, for example.

[0058] Drawing 1 is semiconductor integrated circuit equipment with which the technical thought of this invention was applied, and shows the cross section of the system-on-chip (a system LSI with a built-in flash memory is called hereafter.) which carried the flash memory and the logic operation circuit (Logic circuit) of CMIS (Complementary Metal Insulator Semiconductor) device composition on the one chip. And drawing 2 shows briefly an example of the block diagram of this system LSI with a built-in flash memory.

[0059] In addition, the CMIS device consists of complementary-type insulated-gate field-effect transistors which combined the 2nd (conductivity-type p) channel MISFET which shows an opposite conductivity type to the 1st (conductivity-type n) channel MISFET and the 1st conductivity type. This complementary-type insulated-gate field-effect transistor is usually called "CMOS."

[0060] First, the circuit block of a system LSI with a built-in flash memory is briefly explained using drawing 2.

[0061] The system LSI (semiconductor chip 1) with a built-in flash memory constitutes the control circuit CONT2 for the control circuit CONT1 for the data buffer DB in which the data of FMAY are made to store temporarily, the high-voltage power circuit PC required for writing and elimination, and data writing and elimination, and data read-out by making a CMOS device into a basic device among the flash memory arrays FMAY, LOGIC, and FMAY as high-speed logical-circuit LOGIC (for example, processor) and program memory which perform high-speed logical operation. Above FMAY has the function which rewriting of information is possible, can constitute the memory cell from one transistor like EPROM (ErasablePROM) by electric writing and elimination, and bundles up all the memory cells further, or bundles up the block (memory block) of a memory cell, and is eliminated electrically. This FMAY has two or more memory block as a unit in which package elimination is possible.

[0062] As for this system LSI with a built-in flash memory, external power voltage 3.3V are used. and the pressure is made to lower by the pressure-lowering circuit (for example, voltage limiter: -- not shown) incorporated in the chip 1, and internal low-battery 1.8V are generated. Moreover, a pressure up is carried out by the booster circuit in the high-voltage power circuit PC (not shown), and the internal high voltages 10-12V are generated. And the above-mentioned circuit block is constituted by MISFET which has a device property according to those use supply voltage.

[0063] In addition, MISFET driven by internal voltage 1.8V calls it the 1.8V drive MISFET (1.8 V-driverMISFET). Moreover, external power voltage 3.3V are used as an internal low battery, and say MISFET driven by the voltage 3.3V as the 3.3V drive MISFET (3.3 V-driverMISFET). Furthermore, MISFET driven by the internal high voltages 10-12V like MISFET which constitutes the high-voltage power circuit PC, for example is called 12V drive MISFET (12 V-driverMISFET).

[0064] Furthermore, as for MISFET of a low voltage drive, device structure also turns into a relative target like the 1.8V drive MISFET and the 3.3V drive MISFET minutely for improvement in the speed. Therefore, for such MISFET, gate pressure-proofing is also a low. Hereafter, such MISFET is called low proof pressure MISFET (low proof pressure MIS).

[0065] On the other hand, as for MISFET of a voltage drive high on a relative target like the 12V drive MISFET, gate pressure-proofing is also made high. Hereafter, such MISFET is called high proof pressure MISFET (high proof pressure MIS).

[0066] The system LSI with a built-in flash memory of this invention which attained improvement in the speed, a low power, and low-cost-ization is explained below using drawing 1. Drawing 1 is the important section cross section of a system LSI with a built-in flash memory, and shows the cross-section structure of MISFET of the low proof-pressure MIS section, the high proof-pressure MIS section, and the memory cell section.

[0067] n which shows an opposite conductivity type to the low proof-pressure MIS section of one p type semiconductor main part (p-type-silicon substrate) 1 principal plane to a substrate in drawing 1 -- a well (N-Well) -- p which shows the same conductivity type to 4a and a substrate -- a well (P-Well) -- selection formation of the 5a is carried out Selection formation of the 5b is carried out p wells with 4b n well at the high proof-pressure MIS section. and -- the memory cell section (FMAY) -- embedding -- n -- a well (N-ISO) 3 -- minding -- p -- a well -- selection formation of the 5c is carried out each well -- in the front face, selection formation of the isolation field (vadum isolation region) 2 for dividing an active region (field in which MISFET is formed) is carried out This vadum isolation region 2 has composition which embedded the silicon oxide to the interior of the slot formed in the substrate 1, and flattening of the front face is carried out so that it may become the almost same height as the front face of each well.

[0068] In the low proof-pressure MIS section, n well, p-channel MISFET (PMOS1) is formed in 4a, and n channel MISFET (NMOS1) is formed in 5a p well, respectively. Each of PMOS1 and NMOS1 constitutes the 1.8V drive MISFET. The LDD structure which consists of a low high-impurity-concentration field and a high high-impurity-concentration field was adopted, and those source drain fields have suppressed the short channel effect. And the metal and the semiconductor reaction layers 21s, 21d, and 21g for the reduction in resistance are formed in each of the source drain field front face of PMOS1 and NMOS1, and a gate electrode front face. The Salicide structure is taken although these metals and a semiconductor reaction layer are described in detail later.

[0069] the high proof-pressure MIS section -- setting -- n -- a well -- the inside of 4b -- p-channel MISFET (PMOS2) -- p -- a well -- the inside of 5b -- and n channel MISFET (NMOS2) is formed, respectively Each of MOS2 and NMOS2 constitutes the 12V drive MISFET. The LDD structure where those source drain fields also consist of a low high-impurity-concentration field and a high high-impurity-concentration field is adopted. And the metal and the semiconductor reaction layers 21s and 21d for the reduction in resistance are formed in each of the source drain field front face of PMOS1 and NMOS1, and a gate electrode front face.

[0070] Furthermore, in the memory cell section, two or more memory cells are formed in 5c p well. Each of a memory cell consists of the gate electrode which consists of the floating electrode FG and control-electrode CG prepared through the layer insulation film on the floating electrode FG, and the source drain field of LDD structure. And a metal and the semiconductor reaction layers 21s and 21d are formed in the front face of a source drain field, and a metal and 21g of semiconductor reaction layers are formed in the control-electrode CG front face. The NOR type flash memory cell array is constituted by these memory cells. In addition, it embeds, and n well, p wells are separated from a substrate (P-sub) by N-ISO, and the independent substrate bias is given.

[0071] According to the gestalt 1 of this operation, 16d, and a metal and semiconductor reaction layers 21s and 21d for 19s (wiring contact field) of high concentration fields of the source drain field of the low proof



pressure MIS (PMOS1, NMOS1), and 19d; 16s The edge of the 1st insulator layer (the so-called sidewall film or sidewall spacer) 15d and 15a formed in each side attachment wall of the gate electrodes 9a and 9b of anisotropic etching has consistency (align). That is, as shown in drawing 3, MISFET of the low proof pressure MIS section serves as a pattern configuration the wiring contact field (9s, 19d), and whose metal and semiconductor reaction layer (21s, 21d) corresponded, and has the device structure where the whole wiring contact field principal plane was formed into low resistance.

[0072] This low proof pressure MIS mainly constitutes a high-speed logical circuit. Therefore, in order to realize high-speed operation of the logical circuit, the Salicide layer is formed in the front face, and low resistance-ization is attained for no less than 21g (wiring) of gate electrodes of the low proof pressure MIS.

[0073] On the other hand, the high proof pressure MIS (PMOS2, NMOS2) has device structure which solved the trouble of the offset MIS mentioned above. That is, 17d, and a metal and semiconductor reaction layers 21s and 21d are adjusted by the edge of the 2nd insulator layer 15e and 15c formed of the mask pattern for 20s (wiring contact field) of high concentration fields of a source drain field, and 20d; 17s. As shown in drawing 3, this 2nd insulator layer 15e and 15c is formed so that it may have the larger pattern width of face W2 than the pattern width of face W1 of the 1st insulator layer of the direction of gate-length L. For this reason, when the offset length of the low high-impurity-concentration field in NMOS1 (low proof pressure MIS) and NMOS2 of the same conductivity-type channel (high proof pressure MIS) is contrasted, it has the relation of NMOS1 offset length (OFF1) > PMOS offset length (OFF2). Therefore, in the high proof pressure MIS, since the depletion layer in a low high-impurity-concentration field is fully prolonged, the electric field in a drain edge are eased. For this reason, it is hard coming to generate an avalanche phenomenon, and drain pressure-proofing can be raised. Moreover, the metal and the semiconductor reaction layers 21s and 21d for the reduction in resistance are adjusted by the 2nd insulator layer 15c with the high concentration fields (wiring contact field) 17s and 17d. Therefore, since its metal and semiconductor reaction layer are not formed in the low high-impurity-concentration field, increase of junction leak is not caused.

[0074] As for 21g of gate electrodes of this high proof pressure MIS, the Salicide layer is not formed. The reason will be understood from the manufacture method described below. The high proof pressure MIS has the very small rate for which it accounts in a system LSI compared with the low proof pressure MIS. That is, the high proof pressure MIS is applied to a part of power circuit or control circuit for writing and elimination. Moreover, compared with the low proof pressure MIS, rapidity is not demanded for the high proof pressure MIS. Therefore, in the high proof pressure MIS, there is no need of using a gate electrode front face as the Salicide layer.

[0075] Next, the manufacture method of the system LSI with a built-in flash memory of the gestalt 1 this operation is explained with reference to drawing 4 - drawing 31.

[0076] (Isolation field formation process) Drawing 4 shows the stage where the vadum isolation region 2 was formed in the semiconductor main part (P-sub) 1. Although drawing is omitted, the manufacture process until it forms this vadum isolation region 2 is as follows.

[0077] The semiconductor main part 1 which consists of a p-type-silicon (Si) single crystal which has resistivity 10 ohm-cm is prepared. The pad film which becomes the principal plane of this semiconductor main part 1 from a silicon oxide with a thickness of about 10-30nm is formed by the oxidizing [thermally] method. Then, a silicon nitride with a thickness of about 100-200nm is deposited by the chemical-vapor-deposition method (CVD) on the pad film. This pad film is a buffer film for preventing a thermal strain remaining on the front face, when the insulator layer (mask for slot formation) which consists of a silicon nitride covers to a direct silicon principal plane, and causing a crystal defect.

[0078] Then, the isolation field section forms the photoresist mask which carried out opening on the above-mentioned nitride using the well-known Fort Lee ZOGURAFI technology. And slot 2a (drawing 4) with a depth of about 350-400nm is formed in the semiconductor main part 1 by \*\*\*\*\*ing the silicon nitride film, pad film, and semiconductor main part of the isolation field section one by one by using this photoresist mask as an etching mask.

[0079] In addition, as for the gas which carries out dry etching of the silicon nitride film, CF<sub>4</sub>+CHF<sub>3</sub>+Ar or CF<sub>4</sub>+Ar is used. Moreover, as for the gas which carries out dry etching of the semiconductor main part

1, HBr+Cl<sub>2</sub>+helium+O<sub>2</sub> is used.

[0080] Subsequently, after depositing a silicon oxide with a thickness of 400nm in CVD on the principal plane of the semiconductor main part 1 which includes the front face of a slot after removing a photoresist mask, the isolation field 2 is formed by carrying out flattening of the silicon oxide by the CMP (chemical mechanical polishing : Chemical Mechanical Polishing) method so that it may remain only in slot 2a. Then, the silicon oxide which performed about 1000-degree C heat treatment, and was embedded at slot 2a is densified (eye thermal shrinking). Then, the silicon nitride which remained on the semiconductor main part 1 by the wet etching using the heat phosphoric acid is removed. Consequently, the isolation field 2 with a depth of 350-400nm embedded on the semiconductor main part 1 is obtained. In addition, you may leave a pad film as it is for the pollution control of semiconductor main part 1 front face. Moreover, wet etching may remove a pad film and a clean silicon oxide may be again formed in the semiconductor main part 1 front face by thermal oxidation. this silicon oxide -- the following well -- it acts as a protective coat which mitigates the ion damage by the ion implantation method in a formation process

[0081] (Well formation process) drawing 5 - drawing 7 -- setting -- each drawing and a well -- the impurity introduction which used ion implantation technology for formation is shown

[0082] First, as shown in drawing 5, in order to separate p wells by which a memory cell array is formed in the memory cell section of semiconductor main part 1 principal plane from the p type semiconductor main part 1, pad n well (N-ISO) 3 is formed.

[0083] On semiconductor main part 1 principal plane, the memory cell section forms the photoresist pattern PR 1 with a thickness of about 5 micrometers by which opening was carried out with phot RIZOGURAHII technology. And in order to form pad n well (N-ISO) 3, high-energy ion implantation is alternatively performed in the semiconductor main part 1 by using the photoresist pattern PR 1 as a mask. Namely, the ion implantation of Lynn of n type impurity is carried out to the deep position of the semiconductor main part 1 on condition that for example, acceleration energy 2300keV and dose 1x10<sup>13</sup>/cm<sup>2</sup> by using the photoresist pattern PR 1 (and a part of isolation field 2) as a mask. then, heat treatment for enlargement diffusion (annealing) is performed, and the peak of high impurity concentration comes to the depth with a depth of 2-3 micrometers from the principal plane of the semiconductor main part 1 -- as -- embedding -- n -- a well 3 is formed

[0084] subsequently, the portion in which PMOS1 of the low proof-pressure MIS section of the principal plane of the semiconductor main part 1 and PMOS2 of the high proof-pressure MIS section are formed as shown in drawing 6 after removing the photoresist pattern (mask) PR 1 -- respectively -- n -- the ion implantation for forming Wells (N-Well) 4a and 4b is performed

[0085] Ion implantation performs Lynn of n type impurity gradually by using the photoresist pattern PR 2 as a mask on for example, acceleration energy 1300keV, the conditions of dose 1x10<sup>13</sup>/cm<sup>2</sup>, acceleration energy 600keV, the conditions of dose 5x10<sup>12</sup>/cm<sup>2</sup> and acceleration energy 200keV, and three conditions that consist of conditions of dose 5x10<sup>11</sup>/cm<sup>2</sup>. Furthermore, ion implantation is performed for 2 boron fluorides (BF<sub>2</sub>) of p type impurity on condition that for example, acceleration energy 70keV and dose 2x10<sup>12</sup>/cm<sup>2</sup>.

[0086] the gradual ion implantation of Lynn -- the well of the depth direction -- it is for making a concentration distribution uniform and avoiding heat treatment for enlargement diffusion (elevated-temperature annealing) On the other hand, BF<sub>2</sub> ion implantation is performed in order to set up the threshold voltage of p-channel MISFET.

[0087] subsequently, the portion and the memory cell section in which NMOS1 of the low proof-pressure MIS section of the principal plane of the semiconductor main part 1 and NMOS2 of the high proof-pressure MIS section are formed as shown in drawing 7 after removing the photoresist pattern (mask) PR 2 -- respectively -- p -- the ion implantation for forming Wells (P-Well) 5a, 5b, and 5c is performed

[0088] This ion implantation performs the boron of p type impurity gradually by using the photoresist pattern PR 3 as a mask on for example, acceleration energy 450keV, the conditions of dose 1x10<sup>13</sup>/cm<sup>2</sup>, acceleration energy 200keV, the conditions of dose 3x10<sup>12</sup>/cm<sup>2</sup> and acceleration energy 50keV, and three conditions of the conditions of dose 1.2x10<sup>12</sup>/cm<sup>2</sup>. gradual ion implantation -- Above n -- a well -- it



performs for the same reason as formation

[0089] n -- a well and p -- a well -- heat treatment (well annealing) of about 950 degrees C after carrying out ion implantation for formation -- Lynn and boron -- extending -- being spread -- a well -- formation is completed

[0090] (Memory cell section gate insulator layer formation process) As shown in drawing 8, gate insulator layer (tunnel oxide film) 6a for a flash memory is made the principal plane of the semiconductor main part 1.

[0091] for example, the principal plane of the semiconductor main part 1 -- the penetrant remover of HF (fluoric acid) system -- using -- washing -- each -- a well -- thermal oxidation in about 800 degrees C [ after making a front face clean ] wet atmosphere -- each -- a well -- the tunnel oxide film (SiO<sub>2</sub>) 6 with a thickness of about 10nm is formed in a front face

[0092] (Memory cell section gate electrode formation process) Drawing 9 shows the floating electrode 6b structure where pattern formation which specifies the gate width direction of a memory cell was performed. This floating electrode CG does not show final floating electrode Batang.

[0093] First, the polycrystal silicon layer 7 which contains the impurity (for example, Lynn) which reduces resistance in the whole semiconductor main part 1 principal plane in which tunnel oxide-film 6a was formed is CVD (Chemical Vapor Deposition). It is formed in about 70nm in thickness by the method.

[0094] Then, a silicon oxide (SiO<sub>2</sub>) is formed in the front face of the polycrystal silicon layer 7 by CVD as a layer insulation film 8. The thickness of the layer insulation film 8 is 50nm in about about 5 times [ of the thickness of a tunnel oxide film ] thickness, and is determined in consideration of a capacity-coupling ratio with a tunnel oxide film. Moreover, in order that the layer insulation film 8 may gather the improvement in the device property of a flash memory, especially a dielectric constant, an acid nitride (specifically ONO cascade screen) is applied.

[0095] then, the photoresist pattern PR 4 -- a mask -- carrying out -- an interlayer film 8, the polycrystal silicon layer 7, and tunnel oxide-film 6a -- one by one -- etching removal -- carrying out -- the high proof-pressure MIS section and the low proof-pressure MIS section -- each -- a well -- a front face is exposed

[0096] (High proof-pressure MIS gate insulator layer formation process) Gate oxide-film formation of the high proof pressure MIS which needs a thick gate oxide film precedes with gate oxide-film formation of the low proof pressure MIS, and is performed.

[0097] As shown in drawing 10, gate insulator layer 6b for MISFET in the high proof-pressure MIS section is formed on semiconductor main part 1 principal plane.

[0098] gate insulator layer 6b consists of a silicon oxide, and can be set in the high proof-pressure MIS section and the low proof-pressure MIS section -- each -- the front face of Wells 4a, 4b, 5a, and 5b is formed by the oxidizing [ thermally ] method Although the thickness of gate insulator layer 6b is about 15-16nm, this thickness is not the thickness of a final gate insulator layer.

[0099] (Low proof-pressure MIS gate insulator layer formation process) gate insulator layer 6b -- about 950 degrees C and 20min annealing -- as shown in drawing 11 the back the bottom, selection removal of the gate insulator layer 6b is carried out by using the photoresist pattern PR 5 as a mask using HF system etching reagent, and it can set in the low proof-pressure MIS section -- each -- the front face Of Wells 4a and 5a is exposed

[0100] After removing the photoresist pattern PR 5, as shown in drawing 12, gate insulator layer 6c for MISFET of the low proof-pressure MIS section is formed. Gate insulator layer 6c is formed by consisting of the silicon oxide of about 4.5-5nm of thickness, and oxidizing thermally exposed well 4a and 5a front face. Moreover, at the time of gate insulator layer 6c formation, well 4b of the high proof-pressure MIS section and 5b front face are reoxidated, and well 4b of the high proof-pressure MIS section and gate insulator layer 6b on 5b consist of thermal oxidation films (thermal SiO<sub>2</sub> film) with a thickness of about 18nm. Sufficient gate pressure-proofing is obtained with such a thermal oxidation film.

[0101] (A memory cell, gate electrode formation process of the high proof-pressure MIS& low proof pressure MIS) As shown in drawing 13, the conductor layer 9 for a gate electrode is deposited on the whole principal plane of the semiconductor main part 1 with which the gate oxide film was formed. A conductor layer 9 consists of polycrystal silicon, and is formed of CVD. The thickness of a conductor layer

9 is about 250nm. Then, in order to protect a conductor layer 9 from an etching damage, the cap layer 100 which consists of CVD-SiO<sub>2</sub> is formed in conductor layer 9 front face. The thickness of a cap layer is about 50nm.

[0102] Then, as shown in drawing 14, the cap layer 100 of the low proof-pressure MIS section and the high proof-pressure MIS section is removed by using the photoresist pattern PR 6 as a mask.

[0103] Then, after removing the photoresist pattern (mask) PR 5 shown in drawing 15, a cap layer with a thickness of 50nm which consists of CVD-SiO<sub>2</sub> is made to deposit on the whole semiconductor main part 1 principal plane (the low proof-pressure MIS section, the high proof-pressure MIS section, and memory cell section) again, as shown in drawing 16. Consequently, the thickness of cap layer 100a on the conductor layer 9 of the low proof-pressure MIS section and the high proof-pressure MIS section is set to 50nm, and the thickness of cap layer 100b on the conductor layer 9 of the memory cell section is set to 100nm. The reason for having changed the thickness of a cap layer is explained in detail at the process which carries out pattern processing of the gate electrode described below.

[0104] Then, pattern processing of the gate electrode of a memory cell, the high proof pressure MIS, and the low proof pressure MIS is carried out by carrying out selection removal of the conductor layer 9.

[0105] As shown in drawing 16, selection removal of the cap layers 100a and 100b is first carried out by using the photoresist pattern PR 7 as a mask.

[0106] Then, after removing the photoresist pattern (mask) PR 7, as shown in drawing 17, selective etching (dry etching) of the polycrystal silicon layer 9 is carried out by using the cap layers 100a and 100b as a mask using chlorine-based gas, and pattern formation of the control gate electrode 9e of a memory cell is carried out for gate electrode 9a of the low proof pressure MIS and the high proof pressure MIS, 9b; 9c, and 9d. At the time of this etching, the cap layers 100a and 100b also \*\*\*\*\* . In drawing 17, although the almost same thickness shows each thickness of the cap layers 100a and 100b, the thickness of cap layer 100a in this time is about 20nm, and the thickness of cap layer 100b is about 70nm.

[0107] The reason for having used the cap layer as the mask of gate electrode pattern processing is as follows. If gate electrode pattern processing which used chlorine-based gas for the mask for the photoresist is performed, a resultant will be gradually put on the side attachment wall of a photoresist at the time of the processing. This resultant will become a mask and pattern processing of the pattern width of face of a gate electrode will be carried out at the shape of a taper to which the lower part became large compared with the upper part. For this reason, MISFET of the target channel length is not obtained. That is, the problem from which gate detailed pattern processing becomes difficult arose. For this problem solving, the photoresist pattern (mask) PR 7 is removed and processing of a gate electrode pattern is performed by using the cap layers 100a and 100b as a mask.

[0108] Then, as shown in drawing 18, pattern processing of the floating electrode 7 is performed in the memory cell section by using as a mask the photoresist pattern PR 8 which has opening.

[0109] First, etching removal of the layer insulation film 8 of the memory cell section is carried out. At this time, the thickness to which it \*\*\*\*\*ed and to which cap layer 100b was also left behind is set to 20nm. Therefore, it becomes the thickness the same as that of cap layer 100a covered with the mask PR 8, or almost same. For this reason, etching of the cap layers 100a and 100b becomes easy so that it may state later. The reason for having made thickness of cap layer 100b larger than the thickness of cap layer 100a is for arranging the thickness of the cap layers 100a and 100b in this stage.

[0110] Then, selective etching is performed for the floating electrode 7 so that it may be specified to control gate electrode 9e. Consequently, as shown in drawing 18, in the direction of gate length, the pattern of the floating electrode 7 which was in agreement with control gate electrode 9e is formed.

[0111] (The LDD section formation process of NMOS) After removing the photoresist pattern (mask) PR 8, as shown in drawing 19, the semiconductor region (10s of the LDD sections, 10d; 11s, 11d; 12d, 12s) of low high impurity concentration is formed in the NMOS formation field of the low proof-pressure MIS section and the high proof-pressure MIS section, and the memory cell section.

[0112] First, the photoresist pattern (mask) PR 9 which has opening in the NMOS formation field of the low proof-pressure MIS section and the high proof-pressure MIS section and the memory cell section is formed on the semiconductor main part 1.

[0113] then, arsenic (As) is prescribed by gate electrode 9b as an n type impurity -- as -- p -- a well -- it is

prescribed in 5a by 9d of gate electrodes -- as -- p -- a well -- it is prescribed by gate electrode 9e in 5b -- as -- p -- a well -- it introduces by ion implantation in 5c, respectively Ion implantation is performed on acceleration energy 20keV and about two dose  $1 \times 10^{14}$  atoms/cm conditions.

[0114] (The LDD section formation process of PMOS) After removing the photoresist pattern (mask) PR 9, as shown in drawing 20, the semiconductor region (13s of the LDD sections, 13d; 14s, 14d) of low high impurity concentration is formed in the PMOS formation field of the low proof-pressure MIS section and the high proof-pressure MIS section.

[0115] First, the photoresist pattern (mask) PR 9 which has opening is formed in the PMOS formation field of the low proof-pressure MIS section and the high proof-pressure MIS section. And it introduces by ion implantation in 4b n wells, respectively so that it may be prescribed by gate electrode 9c in 4a n wells that it considers as n type impurity and boron (B) is prescribed by gate electrode 9a. This ion implantation is performed on the acceleration energy 10 - 20keV, and about two cm [ dose  $1 \times 10^{14}$  atoms / cm ] conditions. And boron is introduced also into each of the gate electrodes 9a and 9c by the ion implantation at this time.

[0116] Then, enlargement diffusion of the impurity by annealing processing is performed, and the semiconductor region of low high impurity concentration of NMOS and each PMOS (LDD section) is formed.

[0117] (Insulator layer formation process) After removing the photoresist pattern (mask) PR 10, as shown in drawing 21, the insulator layer 15 used as the mask for specifying the high high-impurity-concentration field in each MISFET is formed on the low proof-pressure MIS section in which the LDD section was formed, the high proof-pressure MIS section, and a memory cell section principal plane. An insulator layer 15 consists of the silicon nitride film formed of plasma treatment. This insulator layer 15 may not be restricted to a silicon nitride film, and may be CVDSiO<sub>2</sub> film. And the thickness is about 100nm.

[0118] (NMOS high concentration field formation process) As shown in drawing 22, selection removal of the silicon nitride film 15 is carried out for the photoresist pattern PR 11 by anisotropic etching processing as a mask (henceforth the 1st mask).

[0119] In the NMOS formation field of the low proof-pressure MIS section, the opening edge is located on the isolation field 2, and opening of the 1st mask PR 11 consists of opening patterns with the degree of margin. On the other hand, in the NMOS formation field of the high proof-pressure MIS section, in order to obtain the high proof pressure MIS of the offset structure shown in drawing 3 (NMOS2), the opening edge of the 1st mask PR 11 is offset from the isolation field 2 and 9d edge of gate electrodes.

[0120] Anisotropic etching is performed to a silicon nitride film 15 using this 1st mask PR 11. Consequently, gate electrode 9b and 9e upper part are removed, and the sidewall films 15a and 15b (the 1st insulator layer) remain in the side attachment wall of the gate electrodes 9b and 9e. On the other hand, selective etching of the silicon nitride film 15 is carried out to the side attachment wall of 9d of gate electrodes with the 1st mask PR 11, and pattern formation of the silicon nitride-film 15c (the 2nd insulator layer) is carried out.

[0121] then, it is prescribed by these silicon nitride films 15a and 15b (the 1st insulator layer) and silicon nitride-film 15c (the 2nd insulator layer) as shown in drawing 23 -- as -- p -- n type impurity (As), for example, an arsenic, is introduced by ion implantation in Wells 5a and 5b and 5c, respectively This ion implantation is performed on condition that acceleration energy 60keV, and dose  $3 \times 10^{15}$  atoms / cm<sup>2</sup>. And an impurity is introduced also into each of the gate electrodes 9b and 9e by this ion implantation. That is, the n gate (n conductivity-type gate electrode) NMOS is obtained.

[0122] (PMOS high concentration field formation process) After removing the 1st mask PR 11, as shown in drawing 24, selection removal of the silicon nitride film 15 is carried out for the photoresist pattern PR 12 by anisotropic etching processing as a mask (henceforth the 2nd mask).

[0123] In the PMOS formation field of the low proof-pressure MIS section, the opening edge is located on the isolation field 2, and opening of the 2nd mask PR 12 consists of opening patterns with the degree of margin. On the other hand, in the PMOS formation field of the high proof-pressure MIS section, in order to acquire the same structure as the high proof pressure MIS of the offset structure shown in drawing 3 (NMOS2), the opening edge of the 2nd mask PR 12 is offset from the isolation field 2 and the gate

electrode 9a edge.

[0124] By performing anisotropic etching to a silicon nitride film 15 using the 2nd mask PR 12, the gate electrode 9a upper part is removed, and 15d (the 3rd insulator layer) of sidewall films remains in the side attachment wall of the gate electrode 9a. On the other hand, selective etching of the silicon nitride film 15 is carried out to the side attachment wall of gate electrode 9c with the 2nd mask PR 11 (mask pattern), and pattern formation of the silicon nitride film 15e (the 4th insulator layer) is carried out.

[0125] then, it is prescribed by 15d (the 3rd insulator layer) of this silicon nitride film, and silicon nitride film 15e (the 4th insulator layer) as shown in drawing 25 -- as -- n -- p type impurity (B), for example, boron, is introduced by ion implantation in well 4a and 4b, respectively. This ion implantation is performed on condition that for example, acceleration energy 10keV and dose  $3 \times 10^{15}/\text{cm}^2$ . And an impurity is introduced also into gate electrode 9a by this ion implantation. That is, the p gate (p conductivity-type gate electrode) PMOS is obtained.

[0126] (Silicide stratification process) As shown in drawing 26, a metal and the semiconductor reaction layers 21s, 21d, and 21g are formed.

[0127] Then, the metal (refractory metal) suitable for SHIRISAIDESHON for the reduction in resistance is deposited on semiconductor main part 1 principal plane. Cobalt (Co) is used as this metal and it deposits about 7-10nm in thickness by sputtering. Titanium (Ti) is chosen in addition to cobalt. However, according to an artificer's etc. examination, it became clear that cobalt fits detailed-ization with low resistance-ization compared with titanium. That is, in the case of cobalt, it is because there are few thin-line effects compared with titanium. Conversely, resistance will be strong and this thin-line effect will mean a bird clapper, if a gate processing size or a wiring processing size is made small.

[0128] After depositing cobalt, 500 degrees C and annealing processing for about 1 minute are performed in nitrogen-gas-atmosphere mind. As for a gate electrode (a [9], b [9], 9e) front face and each front face of a high concentration field (19s, 19d; 16s of 16 d, 20s, 20d : 17s, 17d; 18s, 18d), SHIRISAIDESHON is made by this processing. And after etching removes the unreacted cobalt on a silicon nitride 15 and the isolation field 2, 700 degrees C and annealing processing for about 1 minute are again performed in nitrogen-gas-atmosphere mind. Consequently, the metal and semiconductor reaction layer which consists of cobalt silicide ( $\text{CoSi}_2$ ) are formed. Self-adjustment formation of the cobalt silicide layers 21s, 21d, and 21g is carried out only on the semiconductor (gate electrode and high concentration field) front face to expose. That is, the Salicide layer (cobalt silicide layers 21s, 21d, and 21g) is formed in the high concentration field adjusted by the low proof-pressure MIS section by Sidewalls (the 1st, the 3rd insulator layer) 15a and 15d. Moreover, the Salicide layer (cobalt silicide layers 21s, 21d, and 21g) is formed in the high concentration field adjusted by the high proof-pressure MIS section by the insulator layers (the 2nd, the 4th insulator layer) 15c and 15e of mask pattern formation. That is, the Salicide layer is formed in the whole high concentration field (wiring contact field) front face, without being formed in a low concentration field (LDD section).

[0129] In addition, it sets to drawing 26 and is n well 4a. On the isolation field 2 located in the boundary section with 5a p wells, silicon nitride-film 15x exist as the etching remainder. This sets the 1st mask and 2nd mask of each other, makes a gap cause, and as always remained in the silicon nitride-film 15x by width of face of about 0.5 micrometers on the field, it arranges 2 times of resist boundaries sufficiently in piles. the contact as it is shown in drawing 27 which is for protecting (contact formation process) that the silicon nitride-film 15x of the boundary section become narrow line-like, and separate by this means, after forming the layer insulation film 22 -- Hole TH is formed

[0130] First, the silicon-oxide film 22 is deposited in CVD as a layer insulation film on the semiconductor main part 1 principal plane which SHIRISAIDESHON completed, and, subsequently flattening of the front face of this silicon-oxide film 22 is carried out using the CMP method. The thickness of the silicon-oxide film 22 is suitably set up in consideration of flattening by the CMP method.

[0131] then, the contact which exposes the Salicide layer (cobalt silicide layers [ 21 ] and 21d) front face formed in the high concentration field front face -- Hole TH is formed this contact -- formation of Hole TH is performed by the method of the common knowledge technology which used the photoresist pattern as the mask

[0132] (The 1st-layer wiring formation process) As shown in drawing 28, pattern formation of the

1st-layer wiring M1 is carried out.

[0133] first, contact -- a plug P1 is formed so that Hole TH may be embedded This plug P1 consists of a tungsten plug, and is formed in following sequence.

[0134] As a reaction prevention film for preventing the reaction of a tungsten and a ground Salicide layer, a titanium nitride (TiN) is thinly deposited by sputtering. then, this titanium nitride film top -- a tungsten (W) -- contact -- it deposits so that a hole may be embedded W -- contact -- in order to embed Hole TH completely, as for the thickness of W, a contact aperture is needed 1/2 or more then, the method (etchback) of \*\*\*\*\*ing the whole tungsten (W) and whole titanium nitride (TiN) which were deposited -- a plug P1 -- contact -- a hole -- it leaves only inside

[0135] Next, a metal layer is deposited by the spatter and pattern formation is carried out as the 1st-layer wiring with the phot RIZOGURAFI technology of the common knowledge which used the photoresist pattern as the mask. The 1st-layer wiring consists of TiN/Ti/AlCu/Ti (the best layer / upper layer / the main wiring layer / lower layer). Namely, Ti for the 1st-layer wiring reducing an adhesive property with SiO<sub>2</sub> film (layer insulation film), and contact resistance with W plug in order of a lower shell (thickness : 10nm). It consists of the laminating wiring which formed in order TiN (thickness : 75nm) as Ti (thickness : 10nm) and the antireflection film for making good the adhesive property between aluminum-0.5% Cu (thickness : 500nm) and AlCu which made aluminum main wiring materials, and TiN by the spatter. An antireflection film (TiN) is a film for preventing that a photoresist is superfluously exposed by the reflected light from a metal layer at the time of exposure of a photoresist.

[0136] (The 2nd-layer wiring formation process) As shown in drawing 29 , pattern formation of the 2nd-layer wiring M2 connected to the 1st-layer wiring M1 through a plug P2 on the layer insulation film 23 is carried out.

[0137] First, like formation of the layer insulation film 22 shown in drawing 27 , the silicon-oxide film 23 is deposited in CVD, and, subsequently flattening of the front face of this silicon-oxide film 23 is carried out using the CMP method.

[0138] then, contact of the silicon-oxide film 23 -- pattern formation of the 2nd-layer wiring M2 is carried out by the same material as the wiring formation process of the 1st layer which formed the hole and was shown in drawing 28 , and formation sequence

[0139] (The 3rd-layer wiring formation process) As shown in drawing 30 , pattern formation of the 3rd-layer wiring M3 connected to the 2nd-layer wiring M2 through a plug P3 on the layer insulation film 24 is carried out.

[0140] The 3rd-layer wiring M3 is formed of the same sequence as the 2nd-layer wiring formation process.

[0141] (The 4th-layer wiring formation process) As shown in drawing 31 , pattern formation of the 4th-layer wiring M4 connected to the 3rd-layer wiring M2 through a plug P4 on the layer insulation film 25 is carried out.

[0142] With the gestalt of this operation, the 4th-layer wiring M4 becomes the best layer. However, wiring M4 is formed of the same sequence as the 2nd-layer wiring formation process.

[0143] (PASSHI \*\* ISHON film formation process) As shown in drawing 31 , the passivation films 26 and 27 are formed so that a part of wiring M4 (bonding pad section) may be exposed.

[0144] The lower layer PASSHI \*\* ISHON film 26 consists of an inorganic insulator layer which consists of the laminating of a silicon nitride (TiN)/silicon oxide (SiO<sub>2</sub>). Namely, PASSHI \*\* ISHON film 26, The tetrapod ethyl orthochromatic silicate (Tetra-Ethyl-Ortho-Silicate) film (thickness : 800nm) which used the ethyl silicate as the raw material, and the silicon nitride film (thickness : 1.3 um (micron meter)) consist of cascade screens formed one by one by the plasma method.

[0145] The PASSHIPESHON film 27 consists of a polyimide system resin film, and is formed as a buffer film to an epoxy system closure resin object. Opening prepared in the PASSHIPESHON films 26 and 27 exposes the bonding pad section of the 4th-layer wiring M4, and the exposure front face consists of the main wiring (AlCu) for the improvement in bonder BIIRITI.

[0146] The process to the passivation membrane formation process mentioned above is called last process process, and a semiconductor main part is performed in the state of a disk-like semiconductor wafer. After an appropriate time, the following processes are performed as a back process process.

[0147] A semiconductor wafer constitutes two or more IC pellets. Therefore, in order to divide a

semiconductor wafer into IC pellet, the rear-face grinding of the semiconductor wafer is first carried out to the thickness suitable for IC pellet. And it divides into IC pellet by carrying out the dicing of the semiconductor wafer. Then, IC pellet is combined with a well-known leadframe (bonding). Then, electrical installation of the external lead of a leadframe and the bonding pad (bonding pad section which consists of the above-mentioned wiring M4) prepared in the principal plane of IC pellet is carried out with a wire. A wire consists of aluminum wire or Au wire. Then, a part of IC pellet, wire, and leadframe are closed with an epoxy system resin. And the plastic-molded-type semiconductor integrated circuit equipment which constitutes a system LSI with a built-in flash memory as shown in drawing 54 is completed by cutting the outer frame of a leadframe. The plastic-molded-type semiconductor device shown in drawing 54 is called a surface mounting type package. As for this surface mounting type package, the wire 101 is electrically connected in the center between the bonding pads and inner leads 103 by which the IC pellet 100 was formed in the IC pellet 100 which is arranged and constitutes a system LSI. And the IC pellet 100, the wire 101, and the inner lead 103 are closed with the resin-seal object 104. The lead 102 derived from the neighborhood of the resin-seal object 104 is called an outer lead, and constitutes gal wing structure. Drawing shows the lead derived from two sides of resin-seal objects for the perspective diagram.

[0148] According to the gestalt 1 of this operation, since the silicide layer is formed in which whole high concentration field front face of the low proof pressure MIS and the high proof pressure MIS, izing of the whole front face of the high concentration field can be carried out [ low \*\*\*\* ]. For this reason, the system LSI with a built-in flash memory which was able to attain improvement in the speed is obtained.

[0149] Since which high concentration field and silicide layer of MISFET are adjusted and formed when obtaining MISFET from which a device property differs mutually on one semiconductor main part like the gestalt 1 of this operation (i.e., when obtaining the low proof pressure MIS (PMOS1, NMOS2) and the high proof pressure MIS (PMOS2, NMOS2)), mask number of sheets can be reduced and a low cost and the system LSI with a built-in flash memory of the high yield are obtained.

[0150] According to the gestalt 1 of this operation, since the high concentration field and silicide layer of the high proof pressure MIS are adjusted and formed, the Salicide layer is not formed in the LDD section (offset section). For this reason, it does not need to be anxious about the defect of the current of junction leak or the LDD section front face, and the system LSI containing MISFET suitable for high-speed logic with a built-in flash memory is obtained.

[0151] according to the gestalt 1 of this operation, the DIARU gate structure CMIS which consists of the p gate PMOS and the n gate NMOS obtains -- having -- detailed-izing -- and the highly efficient system LSI with a built-in flash memory which suppressed the short channel effect is obtained

[0152] According to the gestalt 1 of this operation, since the CMP method is adopted as multilayer-interconnection formation, a detailed multilayer interconnection can be realized and the system LSI with a built-in flash memory integrated highly is obtained.

[0153] According to the gestalt 1 of this operation, the gate insulation thickness of the low proof pressure MIS is about 4.5-5nm, it is about 18nm of gate insulation thickness of the high proof pressure MIS, and the low proof pressure MIS of "(high proof-pressure MIS section gate insulator layer formation process)", then "(low proof-pressure MIS section gate insulator layer formation process)" are carried out in order and corresponding to requirement specification is obtained easily, and, as for the formation sequence, a highly efficient system LSI with a built-in flash memory is obtained.

[0154] SHIRISAIDESHON [ the gate electrode top ] since the resist mask covers the gate electrode top of the high proof pressure MIS with the gestalt 1 of this operation in case a high concentration field is formed. Generally, since the rapidity like high-speed logic (for example, logical circuit which consisted of 1.8V drives MISFET) is not required of operation of the high proof pressure MIS, it is satisfactory.

[0155] The vadum separation (Shallow Groove Isolation) technology in which the isolation field of the gestalt 1 of this operation was suitable for high integration is adopted. Since the BAZU beak (Bird's beak) formed with LOCOS (Local Oxidation of Silicon) technology does not exist, especially vadum separation technology can reduce the occupancy area of an isolation field. For this reason, high integration of a system LSI can be attained.

[0156] The gestalt of the operation which reduced the gate delay of the <gestalt 2 of operation> quantity



proof pressure MIS is described below.

[0157] As shown in drawing 32, mask PR11m of the gestalt of this operation has an opening pattern also on the gate electrode 9 of the high proof-pressure MIS section to the 1st mask PR 11 applied by "(NMOS high concentration field formation process)" in the gestalt 1 of the above-mentioned implementation. Using this mask PR11m, it \*\*\*\*\*s alternatively and, as for an insulator layer 15, the 1st insulator layer 15a and 2nd insulator layer 15c are formed. After this 1st [ the ] and the 2nd insulator layer 15a and 15c are formed, 17d is formed by the same method as the gestalt 1 of the above-mentioned implementation for 16s of high concentration fields, and 16s; 17s.

[0158] It continues. As shown in drawing 33, mask PR12m of the gestalt of this operation has an opening pattern also on the gate electrode 9 of the high proof-pressure MIS section to the 1st mask PR 12 applied by "(PMOS high concentration field formation process)" in the gestalt 1 of the above-mentioned implementation. Using this mask PR12m, it \*\*\*\*\*s alternatively and, as for an insulator layer 15, the 15d of the 3rd insulator layer and insulator layer 15f \*\* 4th e are formed. After this 3rd [ the ] and the 4th insulator layer 15d and 15e are formed, 20d is formed by the same method as the gestalt 1 of the above-mentioned implementation for 19s of high concentration fields, and 19s; 20s.

[0159] Then, as shown in drawing 34, the same "(silicide stratification process)" as the gestalt 1 of the above-mentioned implementation is performed.

[0160] Therefore, 21g of silicide layers is formed in each gate electrode front face of PMOS2 and NMOS2 of the high proof-pressure MIS section.

[0161] According to the gestalt 2 of this operation, it is technology effective in realization of the system LSI with a built-in flash memory of the next generation (0.18um process) which reduced the gate delay of the low proof pressure MIS and the high proof pressure MIS.

[0162] As for the system LSI with a built-in flash memory shown in <gestalt 3 of operation> drawing 2, a cache memory is carried in the high-speed logic section LOGIC, for example, the arithmetic circuit section, (CPU). The gestalt of this operation is related with the KYASHU memory cell. KYASHU memory is constituted by the SRAM cell as an internal memory cell.

[0163] The circuit diagram of a SRAM cell is shown in drawing 35. NMOSQnd1 and Qnd2 are functioning as MISFET for a drive of a memory cell. PMOSQpr1 and Qpr2 are functioning as MISFET for loads. And NMOSQt1 and t2 are functioning as a switch MISFET of data transfer. The word line WL is connected to the gate of NMOSQt1 and t2. Moreover, the signal (data) reversed mutually is transmitted to bit lines BL1 and BL2.

[0164] The concrete layout plan of a SRAM cell is shown in drawing 36. In this drawing, the active region of the L type divided by the cell upper part by the isolation field 2 is arranged for right and left. The word line WL prolonged in the direction of X which crosses both this active region is arranged, and NMOSQt1 and Qt2 are constituted. The gate electrode nine b1 is prolonged in the direction of Y which crosses the active region of a reversal L type, is arranged in it, and constitutes NMOSQnd1. It is prolonged and arranged in the direction of Y so that the gate electrode nine b2 may cross the active region of an L type, and NMOSQnd2 is constituted.

[0165] The vertical reversal U [ which was caudad divided by the isolation field 2 ] type active region of a cell is arranged for right and left. It is prolonged and arranged in the direction of Y so that the gate electrode nine a1 united with the gate electrode nine b1 may cross aforementioned one active region, and PMOSQpr1 is constituted. It is prolonged and arranged in the direction of Y so that the gate electrode nine a2 united with the gate electrode nine b2 may cross the active region of aforementioned another side, and PMOSQpr2 is constituted.

[0166] And the gate electrode nine a1 and a part of nine b1 are connected to the common semiconductor region L1 of NMOSQnd2 and NMOSQt2. Moreover, the gate electrode nine a2 and a part of nine b2 are connected to the semiconductor region L2 of PMOSQpr1.

[0167] The above NMOSQt1, Qt2, Qnd1, and Qnd2 constitute LDD structure and the Salicide structure like the low proof pressures NMOS [ MIS and ] 1 shown in drawing 1. Moreover, the above PMOSQpr1 and Qpr2 constitute LDD structure and the Salicide structure like the low proof pressures PMOS [ MIS and ] 1 shown in drawing 1.

[0168] Axial-symmetry arrangement of the memory cell which adjoins each other mutually is carried out

by making the memory cell of such composition into one unit a center [ X1-X1 line, X2-X2 line, Y1-Y1 line, and Y2-Y2 line ].

[0169] NMOSQnd1, Qnd2, and NMOSQt1 and Qt2 are formed in 5a p wells (P-Well) so that clearly from drawing. On the other hand, PMOSQpr1 and Qpr2 are formed in 4a n wells (N-Well).

[0170] p wells (P-Well), mask P-mask is used and 5a formation is alternatively formed in the semiconductor main part principal plane which is not being worn with the mask.

[0171] On the other hand, n well (N-Well), mask N-mask is used and 4a formation is alternatively formed in the semiconductor main part principal plane which is not being worn with the mask.

[0172] Mask P-mask is used for the LDD section formation of PMOS explained with the gestalt 1 of the aforementioned implementation, and mask N-mask is used for formation at the LDD section of NMOS, respectively.

[0173] drawing 36 -- setting -- contact -- a hole -- in BL1-CONT, BL2-CONT, Vcc-CONT, and Vss-CONT, as shown in drawing 28, the plug P1 is embedded and the bit lines BL1 and BL2 shown in drawing 35 consist of the 2nd-layer wiring of a couple -- having -- respectively -- contact -- a hole -- electrical installation is carried out to a semiconductor region (the source or drain field) through the pad layer which consists of the 1st-layer wiring (conductor) formed on the plug in BL1-CONT and BL2-CONT, and it is prolonged in the direction of Y

[0174] the power supply line Vcc consists of the 2nd-layer wiring of a couple -- having -- respectively -- contact -- a hole -- it connects with a semiconductor region (the source or drain field) electrically through the pad layer which consists of the 1st-layer wiring (conductor) formed on the plug in Vcc-CONT, and is prolonged in the direction of Y like a bit line

[0175] the reference potential (grounding) line Vss consists of the 1st-layer wiring -- having -- contact -- a hole -- it connects with a semiconductor region electrically through the plug of Vss-CONT, and is prolonged in the direction of X

[0176] Wiring M1a shown in drawing 36 consists of the 1st-layer wiring, and is carrying out electrical installation of the semiconductor region (L2) of Qpr1, and the semiconductor region of Qnd1. Moreover, wiring M1b consists of the 1st-layer wiring, and is carrying out electrical installation of the semiconductor region of Qpr2, and the semiconductor region (L1) of Qn2.

[0177] By the way, as shown in drawing 36, a silicon nitride film remains like silicon-nitride-film 15X which the mask applied at a high concentration field formation process showed on the gate electrode (slash) located in the lap subordinate at drawing 26 when the mask lap section 44 existed in the relation between mask P-mask and mask N-mask like. For this reason, the gate electrode nine a1 and a part of SHIRISAIDESHON of nine a2 are prevented, and it becomes high although the gate electrode nine a1 which connects NMOSQnd1 and PMOSQpr1, nine b1 and the gate electrode nine a2 which connects NMOSQnd2 and PMOSQpr2, and resistance of nine b2 are slight.

[0178] The gestalt 4 of operation is explained with reference to <gestalt 4 of operation> drawing 37, and drawing 38. The gestalt of this operation offers the KYASHU memory cell which can respond high-speed operation further compared with the gestalt 3 of operation. That is, the gestalt of this operation reduces the above-mentioned gate electrode nine a1 and resistance of nine a2.

[0179] Drawing 37 shows the layout plan of a SRAM cell with which the work was carried out to mask arrangement. And drawing 38 is the cross section of the semiconductor integrated circuit equipment with which CMOS (PMOS1, NMOS1) which constitutes a part of cache memory (SRAM cell), and CMOS (PMOS2, NMOS2) of the high proof-pressure MIS section were formed in one semiconductor main part 1. PN MOSQnd2 and PMOSQpr2 which are shown in drawing 37 correspond to PMOS1 and NMOS1 which are shown in drawing 38, respectively. That is, the cross section of the cache memory section shown in drawing 38 is a cutting cross section of the A-A' line shown in drawing 37.

[0180] According to the gestalt of this operation, as shown in drawing 37, the lap of mask P-mask and mask N-mask is avoided. Pattern formation of the insulator layer for high concentration field formation (silicon nitride film 15) is carried out using such a mask. Therefore, it will \*\*\*\*\* twice and SHIRISAIDESHON of the gate electrode nine a1, nine b1 and the gate electrode nine a2, and the whole 9b2 front face of the boundary section 46 of mask P-mask and mask N-mask becomes possible. That is, since a silicide layer is formed in the gate electrode nine a1, nine b1 and the gate electrode nine a2, and



the whole 9b2 front face, low resistance-ization of these gates electrode can be attained.

[0181] In addition, since the oxide film of an isolation field is deleted by etching of a silicon nitride film 15, as the portion to which a gate electrode does not exist in the boundary section 46 is shown in drawing 38, 2g of slots is formed. However, 2g of this slot is a layer insulation film (for example, since it is embedded with the layer insulation film 22 in the gestalt 1 of operation, there are not the property of MISFET and influence on wiring formation.). Therefore, according to the gestalt 4 of this operation, the KYASHU memory cell which can respond high-speed operation can be realized, and a highly efficient system LSI with a built-in flash memory is obtained.

[0182] The gestalt 5 of the <gestalt 5 of operation> book operation explains the case where it applies to the semiconductor integrated circuit equipment which prepared DRAM, the logic operation circuit (high-speed logical circuit) in which high-speed operation is possible, and its circumference circuit in the same semiconductor chip.

[0183] Drawing 39 shows briefly an example of the block diagram of the system-on-chip (a system LSI with a built-in DRAM is called hereafter.) by which DRAM, the logic operation circuit (high-speed logical circuit) in which high-speed operation is possible, and its circumference circuit were carried on the one chip.

[0184] The system LSI (semiconductor chip 1) with a built-in DRAM consists of a DRAM section which consists of the DRAM memory array DMAY, a sense amplifier SA, and a control circuit CONT, the high-speed logical-circuit section LOGIC (for example, Processor CPU and ASIC:Application Specific Integration) which performs high-speed logical operation, and ON appearance control-section I/O of a buffer function by making a CMOS device into a basic device.

[0185] The high-speed logical-circuit section LOGIC builds in the cache memory (KYASHU SRAM), for example, consists of 1.8V drives CMOS. ON appearance control-section I/O consists of 3.3V drives CMOS.

[0186] Next, with reference to drawing 40 - drawing 53, the formation method of a system LSI with a built-in DRAM is explained.

[0187] (Gate electrode formation process) Drawing 40 is the cross section showing the manufacture process of a system LSI with a built-in DRAM in which the gate electrode was formed in the DRAM cell section and the high-speed logic section of semiconductor main part 1 principal plane, respectively. the well in the gestalt 5 of this operation -- since it was the same as that of the gestalt 1 of the aforementioned implementation, the fundamental process to a formation process was omitted that is, it is shown in drawing 40 -- each -- a well -- as for formation sequence, the gestalt 1 of the aforementioned implementation is referred to

[0188] The formation sequence of gate electrode 9a of the high-speed logic section shown in drawing 40 and gate electrode 9w of the DRAM cell section is explained below with reference to this drawing.

[0189] First, a silicon oxide (thickness : 4.5nm) is formed in the whole semiconductor main part 1 principal plane by thermal oxidation as a gate insulator layer for CMOS of the high-speed logic section. Next, 1st polycrystal silicon layer 9a is deposited by CVD on a silicon oxide. Next, the DRAM cell section carries out etching removal of the 1st polycrystal silicon layer 9a with phot RIZOGURAFI technology, and patterning of the high-speed logic section is carried out so that it may leave the whole principal plane. Etching removal also of the silicon oxide of the DRAM cell section is carried out, and 5a front face is exposed P well.

[0190] then, P of the DRAM cell section -- a well -- a silicon oxide (thickness : 10nm or less, preferably 8nm) is formed in 5a front face as a gate insulator layer by thermal oxidation At this time, the polycrystal silicon layer 9a front face of the high-speed logic section also oxidizes, and the silicon oxide as a layer insulation film is formed in the front face. Next, polycide layer 9w which changes from a laminated structure with the metal silicide layer (for example, tungsten silicide layer WSi) which touches the 2nd polycrystal silicon layer and 2nd polycrystal silicon layer front face to the whole semiconductor main part 1 principal plane is formed. Furthermore, the cap layer (thickness : 60-100nm) which consists of SiN is formed so that this polycide layer front face may be worn.

[0191] Then, patterning of the polycide layer is carried out and gate electrode (word line) 9w of the DRAM cell section is formed. At this time, the silicon oxide (layer insulation film) by which \*\*\*\*\*s and the polycide layer in the high-speed logic section is formed in the 1st polycrystal silicon layer front face acts

as an etching stopper. For this reason, the 1st polycrystal silicon film does not \*\*\*\*\*.

[0192] And after this, patterning of the 1st polycrystal silicon layer is carried out, and the gate electrodes 9a and 9b of the high-speed logic section are formed.

[0193] According to the gestalt of this operation, the word line of the DRAM cell section is attaining low resistance-ization by the polycide layer. And the 1st polycrystal silicon layer of the high-speed logic section is preceded and deposited rather than the polycide layer of the DRAM cell section. The reason is for forming a layer insulation film (etching stopper) in the 1st polycrystal silicon film front face simultaneously with gate insulator layer formation of the DRAM cell section, and attaining simplification of a device process. Therefore, word line (gate electrode) pattern processing of the DRAM cell section is performed by preceding with gate electrode pattern processing of the high-speed logic section.

[0194] (Low concentration field formation process) Then, 16d is formed in \*\* shown in drawing 41 for 12s (LDD section) of low concentration fields as for which self-adjustment was carried out by the gate electrodes 9w, 9a, and 9b, 12d; 13s, and 13d; 16s. The low concentration field formation process of NMOS and PMOS is attained by ion implantation like the method explained with the gestalt 1 of the aforementioned implementation using a photoresist mask (PR9; PR10), respectively.

[0195] (Insulator layer formation process) As shown in drawing 42, the insulator layer 15 for specifying a high concentration field is formed on the DRAM cell section in which the LDD section was formed, and a high-speed logic section principal plane. An insulator layer 15 consists of a silicon nitride film (thickness: 100nm), and is formed by the well-known plasma CVD method.

[0196] (DRAM cell section contact formation) the photoresist pattern PR 100 as shown in drawing 43, after forming the layer insulation film (1st layer insulation film) 23 -- a mask -- carrying out -- the layer insulation film 23 -- contact -- Hole TH is formed

[0197] In this drawing, first, the silicon oxidization (SiO<sub>2</sub>) film 23 is deposited in CVD as a layer insulation film, and, subsequently flattening of the front face of SiO<sub>2</sub> film 23 is carried out using the CMP method. The thickness of SiO<sub>2</sub> film 23 is suitably set up in consideration of flattening by the CMP method. Layer insulation film 23 It consists of the tetrapod ethyl orthochromatic silicate (Tetra-Ethyl-Ortho-Silicate) film which more specifically used the ethyl silicate as the raw material. This film is deposited by the plasma CVD method.

[0198] Moreover, the cascade screen on which phospho silicate glass (PSG) and the tetrapod ethyl orthochromatic silicate film deposited the layer insulation film 23 one by one for stabilization of a device property is chosen.

[0199] then, the contact which exposes 12s of the LDD sections, and 12d front face -- Hole TH is formed this contact -- formation of Hole TH is performed by the Fort Lee ZOGURAFI technology of the common knowledge which used the photoresist pattern PR 100 as the mask contact -- Hole TH was located and formed on gate electrode 9w namely, contact -- what has the strict processing size of Hole TH -- it is not -- contact -- the opening width of face of Hole TH can be formed more greatly than gate inter-electrode width of face The reason is explained below.

[0200] First, dry etching processing of the layer insulation film 23 is carried out. then, etching gas -- changing -- a silicon nitride film 15 -- dry etching (anisotropic etching) -- carrying out -- contact -- Hole TH is formed Since the cap layer exists on polycide layer 9w at this time, polycide layer 9w at the time of being etching of a silicon nitride film 15 is not exposed. namely, contact according to self-adjustment at a process here -- formation of Hole TH is made.

[0201] (Bit line formation) it is shown in drawing 44 -- as -- contact -- a bit line BL is formed through the plug P1 embedded at Hole TH

[0202] first, contact -- after depositing the polycrystal silicon layer (doped polysilicon) containing the N type impurity so that Hole TH may be embedded, a plug P1 is formed by the processing which \*\*\*\*\*s the whole polycrystal silicon layer, and the so-called etchback processing Application of the CMP method is also possible for this plug P1 formation. Rather, in order to lose depression of the plug P1 by superfluous etching, application of the CMP method is recommended.

[0203] Then, a bit line BL is formed in the layer insulation film 23 upper part. After a bit line BL deposits a TiN film and W film on the layer insulation film 23 upper part by the sputtering method and, subsequently to the upper part of W film, deposits a silicon nitride film (not shown) in CVD, by etching

which used the photoresist pattern as the mask, it carries out patterning of these films, and forms them. [0204] (DRAM cell section capacitor formation process) First, as shown in drawing 45, a silicon oxide is deposited in CVD as a layer insulation film (2nd layer insulation film) 24, and, subsequently flattening of the front face of this silicon oxide 24 is carried out using the CMP method. The thickness of a silicon oxide 24 is suitably set up in consideration of flattening by the CMP method. Layer insulation film 24 It consists of the tetrapod ethyl orthochromatic silicate (Tetra-Ethyl-Ortho-Silicate) film which used the ethyl silicate as the raw material as well as the layer insulation film 23.

[0205] Then, by using the photoresist pattern PR 101 as a mask, 24h of openings is prepared in the layer insulation film 24 by etching so that the front face of the plug P1 to which a capacitor is connected may be exposed.

[0206] Then, as shown in drawing 46, the lower electrode (accumulation electrode) 30 is formed along with the side attachment wall of 24h of openings. The accumulation electrode 30 deposits W film by CVD or the sputtering method, and forms it by carrying out patterning by etching which used the photoresist pattern as the mask. Next, the insulator layer 31 for capacitors (dielectric film) is formed in the front face which the lower electrode 30 exposes.

[0207] This insulator layer 31 for capacitors consists of tantalum oxide with a dielectric constant high for example comparatively (Ta 2O<sub>5</sub>). The tantalum oxide film 31 is formed by crystallizing the tantalum oxide by performing thermal oxidation processing, after depositing amorphous tantalum oxide with a thickness of about 20nm by CVD. And formation is formed for the insulator layer up (plate) electrode 31 for capacitors. Besides, the section (plate) electrode 31 consists of the TiN film formed by the sputtering method.

[0208] In addition, although the tantalum oxide film was used for the insulator layer for capacitors, you may use high dielectric films, such as other metal oxide films, for example, (Ba, Sr), TiO<sub>3</sub> film, or Pb(Zr, Ti) O<sub>3</sub> film. Moreover, although the TiN film was used for the film which constitutes the above-mentioned plate electrode, the high-melting point metal membrane chosen from the tungsten nitride (WN) film, the tungsten (W) film, etc. can be used. Furthermore, the above-mentioned plate electrode may be a polycrystal silicon film containing an impurity. When a polycrystal silicon film is applied, it is the silicide stratification process described later, and SHIRISAIDESHON can be performed also on the front face of the polycrystal silicon film, and low resistance-ization of a plate electrode can be attained.

[0209] (PMOS gate electrode sidewall spacer formation process) As shown in drawing 47, the photoresist pattern PR 102 is used for a mask, and the layer insulation films 23 and 24 (silicon oxide) are \*\*\*\*\*ed alternatively. Etching of this layer insulation film stops at the silicon-nitride-film front face, without \*\*\*\*\*ing the silicon nitride film 15 of a ground.

[0210] Then, as shown in drawing 48, sidewall spacer 15d is formed in the side attachment wall of PMOS gate electrode 9a for the exposed silicon nitride film 15 by the reactive-ion-etching (anisotropic etching) means.

[0211] (PMOS high concentration field formation process) Then, as shown in drawing 48, the high concentration fields 19s and 19d adjusted by sidewall spacer 15d are formed. That is, p type impurity (B), for example, boron, is introduced by ion implantation in 4a n wells, respectively so that it may be specified by sidewall spacer 15d. Ion implantation is performed on acceleration energy 10keV, and about two cm [dose 3x10<sup>15</sup> atoms/cm] conditions. And an impurity is introduced also into gate electrode 9a by this ion implantation, and the p gate (p conductivity-type gate electrode) PMOS is obtained.

[0212] (NMOS gate electrode sidewall spacer formation process) First, as shown in drawing 49, the layer insulation films 23 and 24 (silicon oxide) are alternatively \*\*\*\*\*ed by using the photoresist pattern PR 103 as a mask. Etching of this layer insulation film stops at the silicon-nitride-film front face, without \*\*\*\*\*ing the silicon nitride film 15 of a ground.

[0213] Then, as shown in drawing 50, sidewall spacer 15d is formed in the side attachment wall of NMOS gate electrode 9a for the exposed silicon nitride film 15 by the reactive-ion-etching (anisotropic etching) means.

[0214] (NMOS high concentration field formation process) Then, as shown in drawing 50, the high concentration fields 16s and 16d specified by sidewall spacer 15d are formed.

[0215] That is, n type impurity (As), for example, an arsenic, is introduced by ion implantation inside p

wells, respectively so that it may be specified by sidewall spacer 15d. Ion implantation is performed on acceleration energy 60keV, and about two cm [ dose  $3 \times 10^{15}$  atoms / cm ] conditions. And an impurity is introduced also into each of the gate electrodes 9b and 9e by this ion implantation, and the n gate (n conductivity-type gate electrode) NMOS is obtained.

[0216] (Silicide stratification process) As shown in drawing 51, a metal and a semiconductor reaction layer (Salicide layer) are formed in the gate electrode and high concentration field front face of the high-speed logic section (NMOS and PMOS). Specifically, a cobalt silicide layer is formed by the same SHIRISAIDESHON technology as the gestalt 1 of the aforementioned implementation. Although not illustrated, when depositing cobalt in advance of SHIRISAIDESHON, it is protected by plate electrode 32 front face by insulator layers, such as a silicon oxide. Consequently, the cobalt silicide layer of NMOS is adjusted and formed of sidewall spacer 15a of high concentration field formation. On the other hand, the cobalt silicide layer of PMOS is adjusted and formed of sidewall spacer 15a of high concentration field formation.

[0217] If a polycrystal silicon film is adopted as a plate electrode as stated previously, the plate electrode front face does not need the protection by the insulator layer. In this case, cobalt accumulates also on the front face of the plate electrode 32. And while forming a cobalt silicide layer in the above-mentioned gate electrode and a high concentration field front face, a cobalt silicide layer can be formed in the plate electrode 32 above-mentioned front face.

[0218] (The 1st-layer wiring formation process) In drawing 52, the layer insulation film (3rd layer insulation film) 28 is first deposited on the semiconductor main part 1 principal plane which SHIRISAIDESHON completed. This layer insulation film 28 consists of cascade screens which consist of the spin-on glass film applied so that the high-speed logic section might be embedded by the spin applying method, and the silicon-oxide film deposited by CVD on this pin-on glass film. For flattening of this layer insulation film 28, the chemical machinery grinding (CMP) method and the etchback method are applied.

[0219] then, the contact which exposes the Salicide layer (21d of cobalt silicide layers) front face formed in the high concentration field front face -- Hole TH is formed this contact -- formation of Hole TH is attained by dry etching processing which used the photoresist pattern as the mask

[0220] then, contact -- a plug P1 is formed so that Hole TH may be embedded This plug P1 consists of a tungsten plug, and is formed in following sequence. First, a titanium nitride (TiN) is thinly deposited by sputtering as a reaction prevention film for preventing the reaction of a tungsten and a ground Salicide layer. then, this titanium-nitride film top -- a tungsten (W) -- contact -- it deposits so that a hole may be embedded and the method (etchback) of \*\*\*\*\*ing the whole tungsten (W) and whole titanium nitride (TiN) which were deposited -- a plug P1 -- contact -- it leaves in Hole TH

[0221] Then, a metal layer is deposited and the 1st-layer wiring is formed by the method of the common knowledge technology which used the photoresist pattern as the mask. The metal layer which is wiring consists of TiN/TiAlCu/TiN (the best layer / upper layer / the main wiring layer / lower layer) like the gestalt 1 of operation. Namely, Ti for the 1st-layer wiring reducing an adhesive property with SiO<sub>2</sub> film (layer insulation film), and contact resistance with W plug in order of a lower shell (thickness : 10nm), It consists of the laminating wiring which formed in order TiN (thickness : 75nm) as Ti (thickness : 10nm) and the antireflection film for making good the adhesive property between aluminum-0.5% Cu (thickness : 500nm) and AlCu which made aluminum main wiring materials, and TiN by the spatter.

[0222] (The 2nd-layer wiring formation process) In drawing 52, first, the layer insulation film (4th layer insulation film) 29 is deposited so that the 1st-layer wiring may be covered. The layer insulation film 29 consists of the silicon oxide 23 deposited by CVD. Subsequently, flattening of the front face of the layer insulation film 29 is carried out using the CMP method.

[0223] then, a part of 1st-layer wiring M1 is exposed -- as -- a silicon oxide 29 -- contact -- Hole TH is formed And a metal layer is deposited and the 2nd-layer wiring M2 is formed by the method of the common knowledge technology which used the photoresist pattern as the mask. The metal layer which is wiring consists of TiN/TiAlCu/TiN (the best layer / upper layer / the main wiring layer / lower layer) like the 1st-layer wiring. As illustrated, since flattening of the layer insulation film 29 is carried out by the CMP method, with the 2nd-layer wiring M2, it is extended on the DRAM cell section (DRAM memory

array), and the interconnection during a circuit block of it also becomes possible. Therefore, since the flexibility of the circuit block arrangement in a semiconductor chip increases, the system LSI with a built-in DRAM suitable for high-speed operation is obtained. In addition, the DRAM memory array (DMAY) indicated to be a circuit block to drawing 39, an I/O control unit (I/O), the high-speed logical-circuit section (LOGIC), etc. are said.

[0224] If the 2nd-layer wiring M2 is the last wiring, the 2nd-layer wiring M2 will be protected by the passivation membrane by the means explained at the "passivation membrane formation process" of the gestalt 1 of operation. Moreover, the system LSI with a built-in DRAM of three-layer wiring, four-layer wiring, or five-layer wiring structure is obtained if needed by forming a layer insulation film and wiring one by one on the 2nd-layer wiring M2.

[0225] According to the gestalt 5 of this operation, since the silicide layer is formed in which whole high concentration field front face of NMOS of the high-speed logic section, and PMOS, izing of the whole front face of the high concentration field can be carried out [ low \*\*\*\* ]. For this reason, the system LSI with a built-in DRAM which was able to attain improvement in the speed is obtained.

[0226] Moreover, since which high concentration field and silicide layer of NMOS of the high-speed logic section and PMOS are adjusted and formed, mask number of sheets can be reduced and a low cost and the system LSI with a built-in DRAM of the high yield are obtained.

[0227] moreover, the DIARU gate structure CMIS which consists of the p gate PMOS and the n gate NMOS obtains -- having -- detailed-izing -- and the highly efficient system LSI with a built-in DRAM which suppressed the short channel effect is obtained

[0228] Furthermore, the DRAM cell section is polycide gate structure, since the high-speed logic section consists of CMOS of the Salicide gate structure, simultaneous solution of improvement in the speed and the low power is carried out, and the system LSI with a built-in DRAM integrated highly is obtained.

[0229] In the gestalt of each above-mentioned operation, selection of the bipolar membrane called the cascade screen of a nitride (specifically silicon nitride) and an oxide film or acid nitride (oxy-night RAIDO) other than the monolayer which consists of an oxide film (specifically silicon oxide) according to improvement in a device property or the needs of reliability, the monolayer which consists of a nitride further is possible for the gate insulator layer of PMOS and NMOS.

[0230] The manufacture method of the system LSI with a built-in flash memory stated with the gestalt 1 of the <gestalt 6 of operation> operation can consider the following modifications. The gestalt 6 of this operation is explained following the LDD section formation process of PMOS of drawing 20.

[0231] (Insulator layer formation process) As shown in drawing 55, the insulator layer 15 used as the mask for specifying the high high-impurity-concentration field in each MISFET is formed on the low proof-pressure MIS section in which the LDD section was formed, the high proof-pressure MIS section, and a memory cell section principal plane. An insulator layer 15 consists of the silicon nitride film formed of plasma treatment. This insulator layer 15 consists of SiO<sub>2</sub> film with a thickness of about 150nm formed by low voltage CVD (generation temperature : about 740 degrees C).

[0232] (Sidewall formation process) As shown in drawing 56, Sidewalls 15a, 15b, 15c, 15d, and 15e are formed by carrying out etchback of the insulator layer 15. The sidewall of NMOS and PMOS will be formed by carrying out etchback at the same process so that clearly from drawing. Although the cap layers 100a and 100b may almost be removed by the over etching of an insulator layer 15, by it, they do not become a problem.

[0233] (Insulator layer formation process) As shown in drawing 57, the deposition of the insulator layer 115 is again carried out to the substrate principal plane in which Sidewalls 15a, 15b, 15c, 15d, and 15e were formed. This insulator layer 115 consists of SiO<sub>2</sub> film (silicon oxide) with a thickness of about 20nm formed by low voltage CVD (generation temperature : about 740 degrees C).

[0234] (NMOS high concentration field formation process) As shown in drawing 58, selection removal of the SiO<sub>2</sub> film 115 is carried out for the photoresist pattern PR 11 as a mask (henceforth the 1st pattern mask).

[0235] In the NMOS formation field of the low proof-pressure MIS section, the opening edge is located on the isolation field 2, and opening of the 1st pattern mask PR 11 consists of opening patterns with the degree of margin.

[0236] On the other hand, in the NMOS formation field of the high proof-pressure MIS section, in order to obtain the high proof pressure MIS of offset structure, the opening edge of the 1st pattern mask PR 11 is offset from 9d edge of gate electrodes.

[0237] It etches to SiO<sub>2</sub> film (silicon oxide) 115 using this 1st pattern mask PR 11. Consequently, gate electrode 9b and 9e upper part are removed, and the sidewall films 15a and 15b (the 1st insulator layer) remain in the side attachment wall of the gate electrodes 9b and 9e. on the other hand, selective etching of the SiO<sub>2</sub> film 115 is carried out to the side attachment wall of 9d of gate electrodes with the 1st pattern mask PR 11 -- pattern formation of the SiO<sub>2</sub> film 115c (the 2nd insulator layer) is carried out

[0238] then, it is prescribed by SiO<sub>2</sub> films 15a and 15b (the 1st insulator layer) and SiO<sub>2</sub> film 115c (the 2nd insulator layer) -- as -- p -- n type impurity (As), for example, an arsenic, is introduced by ion implantation in Wells 5a and 5b and 5c, respectively This ion implantation is performed on condition that acceleration energy 60keV, and dose  $3 \times 10^{15}$  atoms / cm<sup>2</sup>. And an impurity is introduced also into each of the gate electrodes 9b and 9e by this ion implantation. That is, the n gate (n conductivity-type gate electrode) NMOS is obtained.

[0239] (PMOS high concentration field formation process) After removing the 1st mask PR 11, as shown in drawing 59, selection removal of the SiO<sub>2</sub> film 115 is carried out for the photoresist pattern PR 12 as a mask (henceforth the 2nd pattern mask).

[0240] In the PMOS formation field of the low proof-pressure MIS section, the opening edge is located on the isolation field 2, and opening of the 2nd mask PR 12 consists of opening patterns with the degree of margin. On the other hand, in the PMOS formation field of the high proof-pressure MIS section, in order to acquire the high proof-pressure MIS structure of offset structure, the opening edge of the 2nd pattern mask PR 12 is offset from the gate electrode 9a edge.

[0241] By performing anisotropic etching to SiO<sub>2</sub> film 115 using the 2nd-pattern mask PR 12, the gate electrode 9a upper part is removed, and 15d (the 3rd insulator layer) of sidewall films remains in the side attachment wall of the gate electrode 9a. on the other hand, selective etching of the SiO<sub>2</sub> film 115 is carried out to the side attachment wall of gate electrode 9c with the 2nd pattern mask PR 11 -- pattern formation of the SiO<sub>2</sub> film 115e (the 4th insulator layer) is carried out

[0242] then, it is prescribed by 15d (the 3rd insulator layer) of this SiO<sub>2</sub> film, and SiO<sub>2</sub> film 115e (the 4th insulator layer) -- as -- n -- p type impurity (B), for example, boron, is introduced by ion implantation in well 4a and 4b, respectively This ion implantation is performed on condition that for example, acceleration energy 10keV and dose  $3 \times 10^{15}$ /cm<sup>2</sup>. And an impurity is introduced also into gate electrode 9a by this ion implantation. That is, the p gate (p conductivity-type gate electrode) PMOS is obtained.

[0243] (Silicide stratification process) As shown in drawing 60, a metal and the semiconductor reaction layers 21s, 21d, and 21g are formed.

[0244] Then, the metal (refractory metal) suitable for SHIRISAIDESHON for the reduction in resistance is deposited on semiconductor main part 1 principal plane. Cobalt (Co) is used as this metal and it deposits about 7-10nm in thickness by sputtering. Titanium (Ti) is chosen in addition to cobalt.

[0245] After depositing cobalt, 500 degrees C and annealing processing for about 1 minute are performed in nitrogen-gas-atmosphere mind. As for a gate electrode (a [ 9 ], b [ 9 ], 9e) front face and each front face of a high concentration field (19s, 19d; 16s of 16 d, 20s, 20d : 17s, 17d; 18s, 18d), SHIRISAIDESHON is made by this processing. And after etching removes the unreacted cobalt on a silicon nitride 15 and the isolation field 2, 700 degrees C and annealing processing for about 1 minute are again performed in nitrogen-gas-atmosphere mind. Consequently, the metal and semiconductor reaction layer which consists of cobalt silicide (CoSi<sub>2</sub>) are formed. Self-adjustment formation of the cobalt silicide layers 21s, 21d, and 21g is carried out only on the semiconductor (gate electrode and high concentration field) front face to expose. That is, the Salicide layer (cobalt silicide layers 21s, 21d, and 21g) is formed in the high concentration field adjusted by the low proof-pressure MIS section by Sidewalls (the 1st, the 3rd insulator layer) 15a and 15d. Moreover, the Salicide layer (cobalt silicide layers 21s, 21d, and 21g) is formed in the high concentration field adjusted by the high proof-pressure MIS section by the insulator layers (the 2nd, the 4th insulator layer) 15c and 15e of mask pattern formation. That is, the Salicide layer is formed in the whole high concentration field (wiring contact field) front face, without being formed in a low concentration field (LDD section).



[0246] And after the Salicide formation process follows the contact formation process ( drawing 27 ) stated in the mode 1 of the aforementioned implementation.

[0247] According to the mode 6 of this operation, since the sidewall of NMOS and PMOS is formed by carrying out etchback simultaneously, the gap of NMOS and PMOS sidewall length of it is lost. That is, NMOS and PMOS sidewall length are equal.

[0248] Moreover, according to the gestalt 6 of this operation, a sidewall spacer consists of CVD SiO<sub>2</sub> film 15, 115, and the influence of the electron trap by the sidewall spacer of a silicon nitride of it is lost.

[0249] Although the offset section of the high proof pressure MIS was formed in both the source and the drain field with the gestalt 6 of the <gestalt 7 of operation> aforementioned implementation, the high proof pressure MIS which one side (high-pressure-proofing [ Especially ] this drain-side )-accepted, and was formed is sufficient as the offset section. In a system LSI, the high proof pressure MIS which has the offset section to both fields, and the high proof pressure MIS which has the offset section to one of the two's field live together.

[0250] The cross-section structure of the high proof pressure MIS of having the offset section to the drain field of the gestalt 7 of this operation to drawing 61 is shown. Although drawing shows NMOS, structure with the same said of PMOS is applied.

[0251] A high concentration field is formed with the pattern mask PR 12 which showed such a single-sided offset quantity proof pressure MIS to drawing 62 .

[0252] In the above, the gestalt of operation of this invention was described in detail. The concrete feature matters of this invention drawn from the gestalt of these operations are enumerated below.

[0253] (1) As the gestalt 3 of operation described, this invention is semiconductor integrated circuit equipment which contains the flip-flop type SRAM cell of CMOS composition, a SRAM cell consists of drive NMOS of the load PMOS of a couple, and a couple, and transfer NMOS of a couple, and Above PMOS, the drive NMOS of a couple, and the transfer NMOS of a couple are characterized by consisting of the Salicide electrode structure. This composition is a 6MOS type SRAM cell suitable for the cache memory.

[0254] (2) The gate electrode of the load PMOS of the aforementioned couple consists of the polycrystal silicon layer containing a P type impurity, and the metal silicide layer formed in this polycrystal silicon layer front face, and is each gate electrode of the drive NMOS of the aforementioned couple, and the transfer MOS of a couple. It is characterized by consisting of the polycrystal silicon layer containing an N type impurity, and the metal silicide layer formed in this polycrystal silicon layer front face.

[0255] (3) As the gestalt 3 of operation described, this invention is semiconductor integrated circuit equipment with which the 1st insulated-gate electric field effect type transistor for high pressure-proofing and the 2nd insulated-gate electric field effect type transistor for low pressure-proofing were formed in the semiconductor base. The gate electrode of the 1st transistor of the above consists of a polycrystal silicon layer. An insulator layer is covered by this polycrystal silicon layer front face, and a metal silicide layer is formed in the high concentration field front face of the source of the 1st transistor of the above, and each drain field. The gate electrode of the 2nd transistor of the above consists of a polycrystal silicon layer. The sidewall layer which a metal silicide layer is formed in this polycrystal silicon layer front face, and becomes the side attachment wall of the aforementioned gate electrode from an insulating material is formed. It is characterized by adjustment formation of the metal silicide layer being carried out by the aforementioned sidewall layer on the high concentration field front face of the source of the 1st transistor of the above, and each drain field.

[0256] (4) It is characterized by the aforementioned metal silicide layer consisting of cobalt silicide.

[0257] (5) As the gestalt 6 of operation described, it is characterized by the aforementioned sidewall layer consisting of a silicon oxide.

[0258] (6) As the gestalt 1 of operation described, this invention is semiconductor integrated circuit equipment with which the 1st insulated-gate electric field effect type transistor for high pressure-proofing and the 2nd insulated-gate electric field effect type transistor for low pressure-proofing were formed in the semiconductor base. The gate electrode of the 1st transistor of the above consists of a polycrystal silicon layer. An insulator layer is covered by the upper surface section and the lateral portion of this polycrystal silicon layer, and the source of the 1st transistor of the above and each drain field consist of a

high concentration field and a low concentration field. Opening is prepared at the aforementioned insulator layer on the high concentration field front face of the source of the 1st transistor of the above, and each drain field. A metal silicide layer is formed in the aforementioned high concentration field front face in the aforementioned opening. the gate electrode of the 2nd transistor of the above Consist of a polycrystal silicon layer and a metal silicide layer is formed in this polycrystal silicon layer front face. And the sidewall layer which becomes the side attachment wall of the aforementioned gate electrode from an insulating material is formed. The source of the 1st transistor of the above and each drain field consist of a high concentration field and a low concentration field. It is characterized by adjustment formation of the metal silicide layer being carried out by the aforementioned sidewall layer on the high concentration field front face of the source of the 1st transistor of the above, and each drain field.

[0259] As the gestalt 1 of operation described, (7) this invention It is the manufacture method of semiconductor integrated circuit equipment of having the 1st insulated gate field effect transistor which constitutes the 1st conductivity-type channel in a semiconductor substrate, and the 2nd insulated gate field effect transistor which constitutes the 2nd conductivity-type channel. The process which forms the 1st sidewall layer in the gate electrode of the 1st transistor of the above, The process which forms the 2nd sidewall layer in the gate electrode of the 2nd transistor of the above, The process which has consistency in the 1st sidewall layer and forms a metal silicide layer in the source and the drain field front face of the 1st transistor of the above, the process which has consistency in the 2nd sidewall layer and forms a metal silicide layer in the source and the drain field front face of the 2nd transistor of the above -- since -- it is characterized by changing

[0260] (8) As the gestalt 1 of operation described, this invention is characterized by forming the 1st and 2nd sidewall layer at another process, respectively, adjusting it in the 1st sidewall layer, adjusting a metal silicide layer in the 2nd sidewall layer in the source and the drain field front face of the 2nd transistor of the above, and forming a metal silicide layer in the 1st source and drain field front face of a transistor at the same process.

[0261] (9) As the gestalt 6 of operation described, this invention is characterized by forming the 1st and 2nd sidewall layer at the same process, respectively, adjusting it in the 1st sidewall layer, adjusting a metal silicide layer in the 2nd sidewall layer in the source and the drain field front face of the 2nd transistor of the above, and forming a metal silicide layer in the 1st source and drain field front face of a transistor at the same process.

[0262]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated by this application is explained briefly.

[0263] (1) according to this invention -- the 1st MISFET the 2nd field (high concentration field) and a metal semiconductor reaction layer have consistency in the 1st insulator layer -- having -- the [ moreover, ] -- the 4th field (high concentration field) of 2MISFET \*\* and the metal semiconductor reaction layer are adjusted by the 2nd insulator layer, respectively, and the 2nd and the electrode drawer section of the 4th field are formed into low resistance with the metal and the semiconductor reaction film. For this reason, it turns minutely and the semiconductor integrated circuit equipment which contains MISFET in which high-speed operation is possible is obtained.

[0264] When especially the 1st insulator layer formed in the side attachment wall of the above-mentioned 1st gate electrode and the 2nd insulator layer formed in the side attachment wall of the above-mentioned 2nd gate electrode changed the width of face in the direction of gate length, MISFET from which a device property differs mutually is obtained. Specifically, the distance from the PN-junction edge which consisted of the 2nd semiconductor (the 2nd well) and the 1st field to a metal and a semiconductor reaction layer is large as compared with the distance from the PN-junction edge which consisted of the 1st semiconductor (the 1st well) and the 2nd field to a metal and a semiconductor reaction layer by having made width of face of the 2nd insulator layer larger than the width of face of the 1st insulator layer of the above. For this reason, stretch of the depletion layer in the 3rd field can be secured enough, and the 2nd pressure-proof high MISFET, i.e., MISFET in which a high-voltage drive is possible, is obtained rather than the 1st MISFET.

[0265] Therefore, it turns minutely and the semiconductor integrated circuit equipment which contains



MISFET in which a high-voltage drive is possible possible [ high-speed operation ] is obtained.

[0266] (2) According to this invention, since the 2nd field, and the metal and semiconductor layer of the front face are carried out by the 1st insulator layer and self-adjustment formation of the 4th field, and the metal and semiconductor layer of the front face is carried out by the 2nd insulator layer, respectively, reduction of mask number of sheets can be aimed at. Therefore, a series of processings of not only reduction of the manufacture cost of the mask itself but the application of the photoresist for the photoresist pattern formation using the mask, sensitization, development, and washing and dryness can be cut down, and the process cost of semiconductor integrated circuit equipment can be reduced sharply. Moreover, the poor incidence rate by the foreign matter can be reduced, and it becomes possible to raise the yield and reliability of semiconductor integrated circuit equipment.

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 2] It is the circuit block diagram constituted by the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 3] It is the plan of the important section of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 4] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 5] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 4 .

[Drawing 6] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 5 .

[Drawing 7] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 6 .

[Drawing 8] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 7 .

[Drawing 9] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 8 .

[Drawing 10] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 9 .

[Drawing 11] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 10 .

[Drawing 12] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 11 .

[Drawing 13] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 12 .

[Drawing 14] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 13 .

[Drawing 15] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 14 .

[Drawing 16] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 15 .

[Drawing 17] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 16 .

[Drawing 18] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 17 .

[Drawing 19] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 18 .

[Drawing 20] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 19 .

[Drawing 21] It is an important section cross section in the manufacturing process of the semiconductor

- integrated circuit equipment following drawing 20 .
- [Drawing 22] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 21 .
- [Drawing 23] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 22 .
- [Drawing 24] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 23 .
- [Drawing 25] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 24 .
- [Drawing 26] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 25 .
- [Drawing 27] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 26 .
- [Drawing 28] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 27 .
- [Drawing 29] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 28 .
- [Drawing 30] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 29 .
- [Drawing 31] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 30 .
- [Drawing 32] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.
- [Drawing 33] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 32 .
- [Drawing 34] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 33 .
- [Drawing 35] It is the circuit diagram of a SRAM memory cell.
- [Drawing 36] It is the layout pattern of the SRAM memory cell which is the gestalt of other operations of this invention.
- [Drawing 37] It is the layout pattern of the SRAM memory cell which is the gestalt of other operations of this invention.
- [Drawing 38] It is the important section cross section of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.
- [Drawing 39] It is the plan of the important section of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.
- [Drawing 40] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.
- [Drawing 41] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 40 .
- [Drawing 42] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 41 .
- [Drawing 43] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 42 .
- [Drawing 44] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 43 .
- [Drawing 45] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 44 .
- [Drawing 46] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 45 .
- [Drawing 47] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 46 .

[Drawing 48] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 47 .

[Drawing 49] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 48 .

[Drawing 50] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 49 .

[Drawing 51] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 50 .

[Drawing 52] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 51 .

[Drawing 53] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 52 .

[Drawing 54] It is the perspective diagram of the plastic-molded-type semiconductor integrated circuit equipment concerning this invention.

[Drawing 55] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 56] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 55 .

[Drawing 57] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 56 .

[Drawing 58] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 57 .

[Drawing 59] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 58 .

[Drawing 60] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment following drawing 59 .

[Drawing 61] It is the important section cross section of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.

[Drawing 62] It is an important section cross section in the manufacturing process of the semiconductor integrated circuit equipment shown in drawing 61 .

[Description of Notations]

- 1 .. Semiconductor main part (substrate)
- 2 .. the isolation field 3 .. pad n -- well 4a and 4 b..n -- a well
- 5a, 5b, and 5 c..p -- a well
- 6a, 6b, 6c .. Gate insulator layer
- 9a, 9b, 9c, 9d, 9e, 9w .. Gate electrode
- 10s, 10d .. Low concentration field (n-)
- 11s, 11d .. Low concentration field (n-)
- 12s, 12d .. Low concentration field (n-)
- 13s, 13d .. Low concentration field (p-)
- 14s, 14d .. Low concentration field (p-)
- 15a, 15b, 15c, 1d, 15e, 115, 115e .. Insulator layer (mask)
- 16s, 16d .. High concentration field (n+)
- 17s, 17d .. High concentration field (n+)
- 18s, 18d .. High concentration field (n+)
- 19s, 19d .. High concentration field (p+)
- 20s, 20d .. High concentration field (p+)
- 21, 21s, 21d, 21g .. Silicide layer.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196037

(P2000-196037A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl.

識別記号

F I

テマコード (参考)

H 0 1 L 27/108

H 0 1 L 27/10

6 2 1 C 5 F 0 3 8

21/8242

27/04

V 5 F 0 8 3

27/04

21/822

審査請求 未請求 請求項の数49 O L (全 42 頁)

(21) 出願番号

特願平10-369017

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日

平成10年12月25日 (1998. 12. 25)

(72) 発明者 谷口 泰弘

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(72) 発明者 宿利 章二

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

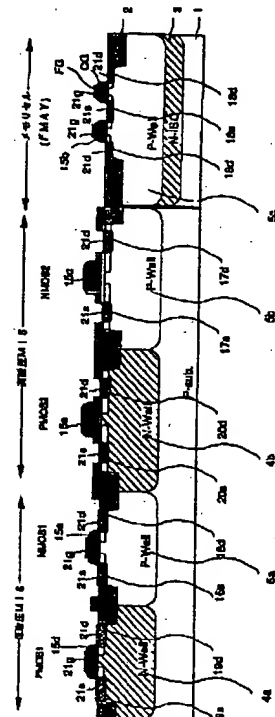
(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【課題】 高速動作が可能なLDD型MISFETと、かつ高電圧駆動が可能なLDD型MISFETとを内蔵する半導体集積回路装置を低コストで実現する。

【解決手段】 高速動作が可能なMISFETは、ゲートサイドウォール層に自己整合された高濃度領域に金属シリサイド層を有し、高電圧駆動が可能なMISFETは、上記ゲートサイドウォール層の幅よりも大きい幅を有するLDD部を有し、そのLDD部に接して高濃度領域を有し、そしてその高濃度領域に金属シリサイド層を有する。

図 1



(2)

## 【特許請求の範囲】

【請求項1】一つの半導体本体に互いに区画された第1半導体主面と第2半導体主面とを有し、前記第1半導体主面に絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極に整合され、前記第1半導体主面の導電型とは反対の導電型を示す第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に設けられた第1の絶縁膜と、前記第1の絶縁膜によって整合され、前記第1領域と同一導電型を示し、その第1領域に接する第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第1MISFETと、前記第2半導体主面に絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極に整合され、前記第2半導体主面の導電型とは反対の導電型を示す第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に設けられた前記第1の絶縁膜に対してゲート長方向の幅が異なる第2の絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域と同一導電型を示し、その第3領域に接する第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第2MISFETとを有することを特徴とする半導体集積回路装置。

【請求項2】請求項1において、前記第1、第2MISFETそれぞれの金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項3】請求項1において、前記第1、第2ゲート電極は半導体から成り、前記第1、第2ゲート電極のそれぞれの表面に金属・半導体反応層が形成されていることを特徴とする半導体集積回路装置。

【請求項4】請求項3において、前記半導体は多結晶シリコンから成り、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項5】半導体本体に互いに区画された第1ウェルと第2ウェルとを有し、前記第1ウェル主面に絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極に整合され、前記第1ウェル主面内に前記ウェルの導電型とは反対の導電型を示す第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に設けられた第1の絶縁膜と、前記第1の絶縁膜によって整合され、前記第1領域と同一導電型を示し、その第1領域に接する第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第1MISFETと、前記第2ウェル主面に絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極に整合され、前記第2ウェル主面内に前記第2ウェルの導電型とは反対の導電型を示す第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に設けられた前記第1の絶縁膜に対してゲート長方向の幅が異なる第2の絶縁膜と、前記第

2の絶縁膜によって整合され、前記第3領域と同一導電型を示し、その第3領域に接する第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第2MISFETとを有することを特徴とする半導体集積回路装置。

【請求項6】請求項5において、前記第2の絶縁膜の幅が前記第1の絶縁膜の幅よりも大なることを特徴とする半導体集積回路装置。

【請求項7】請求項5において、前記第1、第2MISFETそれぞれの金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項8】請求項5において、前記第1、第2ゲート電極は半導体から成り、前記第1、第2ゲート電極のそれぞれの表面に金属・半導体反応層が形成されていることを特徴とする半導体集積回路装置。

【請求項9】請求項5において、前記半導体は多結晶シリコンから成り、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項10】互いに絶縁分離層により区画された第1半導体と第2半導体を有し、前記第1半導体上にゲート絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極および前記絶縁分離層に整合され、前記第1半導体の導電型とは反対の導電型を示す第1不純物濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に選択形成された第1の絶縁膜と、前記第1の絶縁膜および前記絶縁分離層に整合され、前記第1領域と同一導電型で、かつ前記第1不純物濃度と比較して高濃度を示し、その第1領域に接する第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第1MISFETと、前記第2半導体上にゲート絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極および絶縁分離層に整合され、前記第2半導体の導電型とは反対の導電型を示す第3不純物濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁および前記絶縁分離層より張り出して選択形成された第2の絶縁膜と、前記第2の絶縁膜および前記絶縁分離層によって整合され、前記第3領域と同一導電型で、かつ前記第3不純物濃度と比較して高濃度を示し、その第3領域に接する第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第2MISFETとを有し、前記第2ゲート電極端からの前記第2の絶縁膜のパターン幅は前記第1ゲート電極端からの前記第1の絶縁膜のパターン幅よりも大きい設定されていることを特徴とする半導体集積回路装置。

【請求項11】請求項10において、前記第1、第2半導体は、それぞれ単結晶シリコン本体に設けられ、前記第1、第3ゲート電極はそれぞれ多結晶シリコンとその表面に形成された金属シリサイド層とから成り、前記第

3

1、第2MISFETの金属・半導体反応層は金属シリサイドより成ることを特徴とする半導体集積回路装置。

【請求項12】請求項11において、前記金属シリサイドは、コバルトシリサイドであることを特徴とする半導体集積回路装置。

【請求項13】請求項10において、前記絶縁分離層は、半導体本体に設けられた溝およびその溝内に埋め込まれた絶縁層から成ることを特徴とする半導体集積回路装置。

【請求項14】請求項13において、前記第1、第2半導体は、それぞれ前記半導体本体に選択形成された第1、第2ウェル領域であり、前記絶縁分離層は前記第1、第2ウェル領域の深さよりも浅く形成されていることを特徴とする半導体集積回路装置。

【請求項15】請求項10において、前記第2MISFETのゲート絶縁膜は前記第1MISFETのゲート絶縁膜よりも厚いことを特徴とする半導体集積回路装置。

【請求項16】第1半導体主面に第1ゲート絶縁膜を介して第1ゲート電極を、第2半導体主面に第2ゲート絶縁膜を介して第2ゲート電極を、それぞれパターン形成する工程と、

前記第1ゲート電極でマスクされていない前記第1半導体主面に、前記第1半導体の導電型とは反対の導電型を示す不純物を導入し、第1の不純物濃度を有する第1領域を形成する工程と、

前記第2ゲート電極でマスクされていない前記第2半導体主面に、前記第1半導体の第1導電型とは反対の第2導電型を示す不純物を導入し、第3の不純物濃度を有する第3領域を形成する工程と、

前記第1ゲート電極が形成された第1半導体主面および前記第2ゲート電極が形成された第2半導体主面にそれぞれ絶縁膜を形成する工程と、

前記第1半導体主面上の絶縁膜を異方性エッチングを行うことにより前記第1ゲート電極の側壁に第1の絶縁膜を残す工程と、

前記第2半導体主面上の絶縁膜にパターンマスクを設け、そのマスクにより前記絶縁膜をパターンエッチングすることにより前記第2ゲート電極の側壁に第2の絶縁膜を残す工程と、

前記第1の絶縁膜でマスクされていない第1半導体主面に第2導電型を示す不純物を導入し、前記第1不純物濃度よりも高い第2不純物濃度を有する第2領域を形成し、前記第2の絶縁膜でマスクされていない第2半導体主面に第2導電型を示す不純物を導入し、前記第3不純物濃度よりも高い第4不純物濃度を有する第4領域を形成する工程と、

前記第2領域表面に前記第1の絶縁膜で整合された金属・半導体反応層を、前記第4領域表面に前記第2の絶縁膜で整合された金属・半導体反応層をそれぞれ形成する工程と、より成ることを特徴とする半導体集積回路装置

(3)

4

の製造方法。

【請求項17】請求項16において、前記第2、第4領域を形成した後、前記第2、第4領域表面に金属膜を堆積し、その金属膜を熱処理することにより前記第2、第4領域表面それぞれに前記金属・半導体反応層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項18】請求項17において、前記金属膜はコバルトであり、その金属膜の熱処理によって形成された前記金属・半導体反応層はコバルトシリサイドであることを特徴とする半導体集積回路装置の製造方法。

【請求項19】請求項16において、前記第1、第2ゲート電極は多結晶半導体より成り、その第1、第2ゲート電極表面に前記金属層が堆積され、前記金属・半導体層形成工程で前記第1、第2ゲート電極表面にそれぞれ金属・半導体反応層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項20】請求項19において、前記金属・半導体反応層はコバルトシリサイドであることを特徴とする半導体集積回路装置の製造方法。

【請求項21】基板本体に第1半導体領域と第2半導体領域とを有し、前記第1半導体領域主面に第1の膜厚を有するゲート絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極に整合され、前記第1半導体領域内に前記第1半導体領域の導電型とは反対の導電型を示す第1不純物濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に第1側壁幅を有して選択形成された第1側壁幅を有する第1の絶縁膜と、前記第1の絶縁膜に整合され、前記第1領域と同一導電型で、かつ前記第1不純物濃度と比較して高濃度を示し、一部がその第1領域にオーバーラップする第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第1MISFETと、前記第2半導体領域主面に前記第1の膜厚よりも厚い第2の膜厚を有するゲート絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極に整合され、前記第2半導体領域内に前記第1半導体領域の導電型とは反対の導電型を示す第3不純物濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に選択形成された、前記第1側壁幅よりも大きい第2側壁幅を有する第2の絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域と同一導電型で、かつ前記第3不純物濃度と比較して高濃度を示し、その第3領域にオーバーラップする第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第2MISFETとを有することを特徴とする半導体集積回路装置。

【請求項22】請求項21において、前記第1、第2MISFETそれぞれの金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項23】請求項21において、前記第1、第2ゲ



5

ート電極は半導体から成り、前記第1、第2ゲート電極のそれぞれの表面に金属・半導体反応層が形成されていることを特徴とする半導体集積回路装置。

【請求項24】請求項23において、前記半導体は多結晶シリコンから成り、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項25】半導体主面に互いに区画された第1半導体領域と第2半導体領域と、前記第1半導体領域内に形成された低濃度領域および高濃度領域で構成されたLDD構造のソース・ドレイン領域を有する第1MISFETと、前記第2半導体領域に形成された低濃度領域および高濃度領域で構成されたLDD構造のソース・ドレイン領域を有する第2MISFETとから成る半導体集積回路装置であって、前記第2MISFETにおける低濃度領域のオフセット長が前記第1MISFETにおける低濃度領域のオフセット長よりも大きく、前記第1、第2MISFETのそれぞれの高濃度領域表面に金属・半導体反応層が形成されていることを特徴とする半導体集積回路装置。

【請求項26】請求項25において、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項27】第1半導体主面に第1ゲート絶縁膜を介して第1ゲート電極を、第2半導体主面に第2ゲート絶縁膜を介して第2ゲート電極を、それぞれパターン形成する工程と、

前記第1ゲート電極でマスクされていない前記第1半導体主面に、前記第1半導体の導電型とは反対の導電型を示すための不純物を導入し、前記第1ゲート電極で整合された第1の不純物濃度を有する第1領域を形成する工程と、

前記第2ゲート電極でマスクされていない前記第2半導体主面に、前記第1半導体の第1導電型とは反対の第2導電型を示すための不純物を導入し、前記第2ゲート電極で整合された第3の不純物濃度を有する第3領域を形成する工程と、

前記第1ゲート電極が形成された第1半導体主面および前記第2ゲート電極が形成された第2半導体主面にそれぞれ絶縁膜を形成する工程と、

前記第1半導体主面上の絶縁膜を異方性エッチングを行うことにより前記第1ゲート電極の側壁に第1の絶縁膜を残す工程と、

前記第2半導体主面上の絶縁膜に前記第2ゲート電極の加工寸法よりも大きなパターンマスクを設け、そのパターンマスクに規定されるように前記絶縁膜をパターンエッチングし、前記第2ゲート電極の側壁に前記第1の絶縁膜の側壁幅よりも大なる側壁幅を有する第2の絶縁膜を残す工程と、

前記第1の絶縁膜でマスクされていない第1半導体主面

(4)

6

に第2導電型を示すための不純物を導入し、前記第1不純物濃度よりも高い第2不純物濃度を有し、前記第1の絶縁膜に整合された第2領域を形成する工程と、

前記第2の絶縁膜でマスクされていない第2半導体主面に第2導電型を示すための不純物を導入し、前記第3不純物濃度よりも高い第4不純物濃度を有し、前記第2の絶縁膜に整合された第4領域を形成する工程と、

前記第2領域表面に前記第1の絶縁膜で整合された金属・半導体層を、前記第4領域表面に前記第2の絶縁膜で整合された金属・半導体反応層をそれぞれ形成する工程と、より成ることを特徴とする半導体集積回路装置の製造方法。

【請求項28】請求項27において、前記第2ゲート絶縁膜を前記第1ゲート絶縁膜の膜厚よりも厚く形成することを特徴とする半導体集積回路装置の製造方法。

【請求項29】請求項27において、前記第2、第4領域を形成した後、前記第2、第4領域表面に金属膜を堆積し、その金属膜を熱処理することにより前記第2、第4領域表面それぞれに前記金属・半導体反応層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項30】請求項29において、前記金属膜はコバルトであり、その金属膜と前記第2領域および第4領域表面を熱処理により反応させ、しかる後、未反応の金属膜を除去することによりコバルトシリサイドから成る前記金属・半導体反応層を選択的に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項31】請求項27において、前記第1、第2ゲート電極は多結晶半導体により形成し、その第1、第2ゲート電極表面に前記金属層を堆積させ、前記金属・半導体層形成工程で前記第1、第2ゲート電極表面露出部にそれぞれ金属・半導体反応層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項32】請求項31において、前記第1、第2ゲート電極表面の金属・半導体反応層として、コバルトシリサイドが形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項33】一つの半導体本体に互いに区画された第1導電型の第1ウェルと前記第1導電型とは反対の導電型を示す第2導電型の第2ウェルとを有し、前記第1ウェル主面に絶縁膜を介して設けられた第1ゲート電極と、前記第1ウェル内に形成された第2導電型の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に設けられた第1の絶縁膜と、前記第1の絶縁膜によって整合され、その第1領域に接する第2導電型の第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第2導電型チャンネルの第1MISFETと、前記第2ウェル主面に絶縁膜を介して設けられた第2ゲート電極と、前記第2ウェル内に第1導電型の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に設けられた第2の

7

絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域に接する第1導電型の第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第1導電型チャネルの第2MISFETとを有することを特徴とするCMIS半導体集積回路装置。

【請求項34】請求項33において、前記第1導電型はn型を示し、前記第2導電型はp型を示すことを特徴とするCMIS半導体集積回路装置。

【請求項35】請求項33において、前記第1、第2ゲート電極はそれぞれ多結晶半導体層から成り、前記第1ゲート電極には第2導電型の不純物を含み、前記第2ゲート電極には第1導電型の不純物を含むことを特徴とするCMIS半導体集積回路装置。

【請求項36】請求項34において、前記第1、第2ゲート電極のそれぞれの表面に金属・半導体反応層が形成されていることを特徴とするCMIS半導体集積回路装置。

【請求項37】請求項35において、前記第1、第2ゲート電極のそれぞれは多結晶シリコンから成り、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とするCMIS半導体集積回路装置。

【請求項38】一つのMISFETと蓄積容量素子とで構成されたDRAMセルと、CMISFETで構成された論理回路とは一つの半導体本体に形成されて成る半導体集積回路装置であって、前記一つのMISFETのゲート電極はポリサイド層で構成され、前記CMISFETの半導体領域の表面はシリサイド層を有することを特徴とする半導体装置。

【請求項39】CMOS構成のフリップフロップ型SRAMセルを内蔵する半導体集積回路装置であって、SRAMセルは一对の負荷PMOS、一对の駆動NMOSおよび一对の転送NMOSとで構成され、上記PMOS、一对の駆動NMOSおよび一对の転送NMOSはポリサイド電極構造から成ることを特徴とする半導体集積回路装置。

【請求項40】請求項39において、前記一对の負荷PMOSのゲート電極は、P型不純物を含む多結晶シリコン層と、該多結晶シリコン層表面に形成された金属シリサイド層とから成り、前記一对の駆動NMOSおよび一对の転送MOSのそれぞれのゲート電極は、N型不純物を含む多結晶シリコン層と、該多結晶シリコン層表面に形成された金属シリサイド層とから成ることを特徴とする半導体集積回路装置。

【請求項41】半導体基体内に、高耐圧用の第1の絶縁ゲート電界効果型トランジスタと低耐圧用の第2の絶縁ゲート電界効果型トランジスタとが形成された半導体集積回路装置において、前記第1のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に絶縁膜が被覆

(5)

8

され、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が形成され、前記第2のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に金属シリサイド層が形成され、かつ前記ゲート電極の側壁には絶縁材料からなるサイドウォール層が形成され、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が前記サイドウォール層により整合形成されていることを特徴とする半導体集積回路装置。

【請求項42】請求項41において、前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする半導体集積回路装置。

【請求項43】請求項41において、前記サイドウォール層はシリコン酸化膜より成ることを特徴とする半導体集積回路装置。

【請求項44】半導体基体内に、高耐圧用の第1の絶縁ゲート電界効果型トランジスタと低耐圧用の第2の絶縁ゲート電界効果型トランジスタとが形成された半導体集積回路装置において、前記第1のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層の上面部および側面部に絶縁膜が被覆され、前記第1のトランジスタのソース及びドレイン領域それぞれは高濃度領域と低濃度領域とから成り、前記絶縁膜には前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面上に開口部が設けられ、

前記開口部内の前記高濃度領域表面に金属シリサイド層が形成され、前記第2のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に金属シリサイド層が形成され、かつ前記ゲート電極の側壁には絶縁材料からなるサイドウォール層が形成され、前記第1のトランジスタのソース及びドレイン領域それぞれは高濃度領域と低濃度領域とから成り、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が前記サイドウォール層により整合形成されていることを特徴とする半導体集積回路装置。

【請求項45】請求項44において、前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする半導体集積回路装置。

【請求項46】請求項44において、前記サイドウォール層はシリコン酸化膜より成ることを特徴とする半導体集積回路装置。

【請求項47】半導体基板に第1導電型チャネルを構成する第1の絶縁ゲート電界効果トランジスタと第2導電型チャネルを構成する第2の絶縁ゲート電界効果トラン

9

ジスタとを有する半導体集積回路装置の製造方法であつて、(1)前記第1のトランジスタのゲート電極に第1のサイドウォール層を形成する工程と、(2)前記第2のトランジスタのゲート電極に第2のサイドウォール層を形成する工程と、(3)前記第1のトランジスタのソースおよびドレイン領域表面に第1のサイドウォール層に整合して金属シリサイド層を形成する工程と、(4)前記第2のトランジスタのソースおよびドレイン領域表面に第2のサイドウォール層に整合して金属シリサイド層を形成する工程と、から成ることを特徴とする半導体集積回路装置。

【請求項48】請求項47において、工程(1)と工程(2)はそれぞれ別工程で行われ、工程(3)と工程(4)とは同一工程で行われることを特徴とする半導体集積回路装置の製造方法。

【請求項49】請求項47において、工程(1)と工程(2)は同一工程で行われ、工程(3)と工程(4)とは同一工程で行われることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、フラッシュメモリ(EEPROM: Electrically Erasable Programmable ROM)とCMOS論理演算回路とをワンチップ上に搭載したシステムオンチップあるいはDRAM(Dynamic Random Access Memory)とCMOS論理演算回路(Complementary Metal Oxide Semiconductor Logic circuit)とをワンチップ上に搭載したシステムオンチップに適用して有効な技術に関する。

【0002】

【従来の技術】近年、マルチメディア、情報通信などの先端技術分野においては、マイクロコンピュータ、DRAM、ASIC(Application Specific Integrated Circuit)、フラッシュメモリなどをワンチップ内に混載したシステムオンチップ構造を実現することによって、データ転送速度の高速化、省スペース(実装密度向上)、低消費電力化を図る動きが活発になっている。

【0003】例えば、市場ニーズの低消費電力化にともなうさらなる低電圧化の動きが強まっている。具体的には電源電圧が5Vから3.3Vに低減されている。この低電力化の動きにより、LSI(Large Scale Integrated Circuit)プロセス技術も0.25ミクロンプロセスの製品時代となり、その製品は2.5Vまたは1.8V動作であり、インターフェースを高電圧で受け、内部は低電圧動作とする方式が主流になってきている。

【0004】そして、デバイス構造では、微細化、高速化に対応して、高融点金属シリサイド膜を用いた低抵抗技術が注目されている。特に、サリサイド(salicide: self-aligned silicideの略称)技術と称さ

(6)

10

れる低抵抗化技術の採用は、システムオンチップを実現する上で有効である。

【0005】なお、サリサイド技術として、以下に述べる公知文献1~6がある。

(1)特開平7-211898号公報(公知文献1)

公知文献1には、I/O部半導体装置のゲート酸化膜耐性を確保する半導体装置及びその製造方法が開示されている。そして、CMOS適用技術が開示され、ソース、ドレイン拡散層とゲートとの間に、ソース、ドレイン拡散層よりも低濃度な拡散層を形成し、さらにこの低濃度拡散層は、ソース、ドレイン拡散層とは異なり、非サリサイド領域とすることを特徴としている。この公知文献1は、後で詳しく述べる。

【0006】(2)特開平7-106559号公報(公知文献2)

公知文献2には、ゲート電極の側面を覆う絶縁膜と素子分離領域とトランジスタ活性領域の境界を覆う絶縁膜を同時に形成することによって高信頼性かつ、低コスト化を実現した半導体装置の製造方法を提供することが開示されている。そして、ゲート周辺のサイドスペーサ絶縁膜(酸化シリコン膜)の加工時に、素子分離領域端部にもマスクをかけて残し、ソース、ドレインとシリサイド膜を素子分離からオフセットさせてリーク低減する技術が開示されている。

【0007】(3)特開平7-183506号公報(公知文献3)

公知文献3には、特に、ゲート電極を構成するチタンシリサイド膜の層抵抗とサリサイド構造のソース・ドレイン領域を構成するチタンシリサイド膜の層抵抗とが、同時に最小となる構造のトランジスタを提供することが開示されている。そして、チタンシリサイド膜が形成されるゲート電極として、(111)配向性の優位な多結晶シリコン膜を用いるという技術が開示されている。すなわち、公知文献2は、特に、ゲート電極へのチタンシリサイド形成を前提にしたサリサイド技術を提供している。

【0008】(4)特開平7-263682号公報(公知文献4)

公知文献4には、リーク電流を低減できかつ寄生抵抗を低減することができる、サリサイド構造を有するMISFETの製造方法が開示されている。

【0009】公知文献4によれば、イオン注入および加熱処理により第1の拡散層を形成した後、サイドウォールをマスクとして第2のイオン注入を行って第2の拡散層を形成し、そして、高温短時間熱処理法(RTA)を用いて第2の拡散層の不純物を活性化させる。このことにより、イオン注入によって生じた拡散層中の結晶欠陥をさせ、かつ拡散層の表面とシリサイド層の底面との界面付近での不純物の低濃度化を防ぎ、寄生抵抗を低減している。

11

【0010】(5) 特開平9-82949号公報(公知文献5)

公知文献5には、リーク電流が少なく、メタルシリサイド層やメタル層をソース、ドレイン上に形成しない場合に比べて動作速度が大きい半導体装置およびその製造方法が開示されている。公知文献5によれば、ソース、ドレインのpn接合界面とメタルシリサイド層またはメタル層の端部との間にオフセット層を設け、両者間のリーク電流の発生を抑制することを目的にしている。オフセット層はゲート側壁に設けられるサイドウォールスペースの厚み(チャンネル長方向のサイドウォール幅)で制御される。

【0011】(6) 特開平10-12748号公報(公知文献6)

公知文献6には、異なる導電型の不純物を導入して形成した異種ゲート構造(デュアルゲート構造)のCMOS半導体装置を提供し、サリサイド構造を採用すること、そのサリサイド構造を得るための具体的金属材料としてチタン(Ti)またはコバルト(Co)を用いることが開示されている。

【0012】一方、一つの半導体基板に複数のLDD(Lightly Doped Drain)構造のMISFETを組み込む場合において、種々の異なる電気特性のMISFETを提供する技術が下記の文献に開示されている。

【0013】(7) 特開昭62-283666号公報(公知文献7)

公知文献7には、サイドウォールの幅を変えることで、そのサイドウォール下部の低不純物濃度の半導体領域の幅を変えるという技術を開示している。つまり、ゲート電極端から高不純物濃度の半導体領域端までのオフセット幅の異なるMISFETを提供している。なお、この公知文献7にはサリサイド技術の適用は全く開示されていない。

【0014】(8) 特開昭63-226055号公報(公知文献8)

公知文献8には、nチャネルMISFETの耐圧を確保するとともにpチャネルMISFETの電流駆動力を向上する技術が開示されている。この公知文献8に開示された技術は、nチャネルMISFETのLDD部の寸法を長くし、高不純物濃度のソース、ドレイン領域間を隔離し、両領域間の耐圧を確保するとともに、pチャネルMISFETのLDD部の寸法を短くしてソース領域の直列抵抗値及びドレイン領域の直列抵抗値を低減し、電流駆動力を向上させるというものである。この公知文献8もまたサリサイド技術の適用は全く開示されていない。

【0015】

【発明が解決しようとする課題】フラッシュメモリアレイおよびマイコンなどの論理演算回路を内蔵するシステムオンチップの場合、例えば、3.3Vの外部電源を用い

(7)

12

て、その外部電源電圧3.3Vで駆動させる複数のMISFETと、低消費、高速化のために、降圧回路により1.8Vの第1内部電源電圧を発生させ、その第1内部電源電圧で駆動させる複数のMISFETとが必要とされる。そしてさらに、昇圧回路により10V~12Vの第2内部電源電圧を発生させ、その第2内部電源電圧(10~12V)でフラッシュメモリアレイ中の選択されたメモリセルへの書き込み等のために駆動させる複数のMISFETが必要とされる。以下、前者のような3.3Vあるいは1.8Vで駆動させるMISFETを低耐圧MISと称し、後者のような10~12Vで駆動させるMISFETを高耐圧MISと称する。これら低耐圧MISおよび高耐圧MISは、それぞれ一つの半導体本体(半導体チップ)内にCMOS構成(pチャネルMISFETとnチャネルMISFETとのペア)で内蔵される。

【0016】このシステムオンチップを構成するデバイス(MISFET)の能力向上のために、サリサイド技術によりゲート電極と拡散層(ソース・ドレイン領域)の抵抗を低減することが考えられた。

【0017】また、システムオンチップの中の第2内部電源回路(高電圧電源回路)において、デバイスの技術として高濃度の拡散層(コンタクト領域)をゲート電極やフィールド酸化膜からオフセットさせることが考えられた。このようなデバイスを“オフセットMOS”と言う。

【0018】この技術により、拡散層の耐圧を大きくし、高電圧発生に対するマージンを確保することが可能となる。すなわち、ゲート電極下のチャンネル領域と高濃度の拡散層との間にその拡散層よりも低濃度の領域を設け、チャンネル領域と高濃度の拡散層とがオフセットすることでその間に低濃度の領域(イクステンション層)のみからなる高抵抗層が形成されることで、デバイスのドレイン・ソース破壊電圧(ゲート電圧オープン)  $BV_{DS0}$  などの特性を向上させている。フラッシュメモリとマイコンを同じチップ上に搭載するような製品(すなわち、システムLSI)を高いデバイス性能を維持しつつ製造するためには、上記オフセットMOSとサリサイド技術を両立する技術が要求される。しかし、この二つの技術を両立する上で、以下の問題点が明らかとなった。

【0019】オフセットMOSを形成した拡散層上のシリサイドーションにより、オフセット領域の低濃度拡散層(イクステンション層)上もシリサイド化された。このため、シリサイド反応時の拡散層中の不純物の吸い上げによる接合リークの増大が生じる。

【0020】また、表面の低抵抗化による電流集中などの要因によりオフセットMOSが要求どりの性能を発揮できない。すなわち、拡散層にシリサイド層(低抵抗層)から急激にイクステンション層(高抵抗層)に変わった部分が存在し、その部分に電流が集中すると局所的

13

な溶断が生じ、デバイス特性の劣化に至る。

【0021】この問題を解決するために、オフセットMOSの低濃度拡散層上をホトレジストマスクで覆い、高濃度拡散層上にのみシリサイド層を形成する方法が考えられた。

【0022】上記の方法により、低濃度拡散層表面のシリサイド化を防止し、シリサイドとオフセットMOSを同一チップ内で特性を劣化させることなく実現することができる。

【0023】なお、先に述べた公知文献1において、図1(e)は、非シリサイド領域を有するオフセット構造のI/O部半導体装置を示している。すなわち、シリサイド層(シリサイド領域:  $\text{TiSi}_2$ )は高濃度の拡散層上にのみ選択的に形成されている。そして、公報第3頁左欄、【0012】項の記載から明らかなように、このような半導体装置構造にすると、ソース、ドレイン拡散層に動作電圧以上の電圧が印加されても、ゲート酸化膜だけではなくLOCOS酸化膜端の耐性をも確保することができる。

【0024】しかしながら、この方法では、上記低濃度の拡散層表面がシリサイド化されないようにホトレジストマスクで覆う工程が必要であるために、マスク枚数の増加によるコスト増加を余儀なくされる。

【0025】また、非シリサイド領域を形成するためのマスクとその領域を取り囲む拡散層との合わせずれを考慮したレイアウト設計を行う必要があるため微細化が困難という問題がある。

【0026】システムオンチップの高集積化、低コスト化を実現させるためにはマスク枚数をいかに低減させるかが重要な技術課題となっている。

【0027】なぜならば、マスク枚数の低減は、マスクそのものの製作コストの低減のみならず、マスクを用いたフォトレジストパターン形成のためのフォトレジストの塗布、感光、現像および洗浄・乾燥の一連の処理を削減することができ、半導体集積回路装置のプロセスコストを大幅に低減できるからである。そしてさらに、異物による不良発生率を低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となるからである。

【0028】そこで、発明者等は、オフセットMOSにおけるシリサイド領域形成用のホトレジストマスク工程を省略することを検討し、そして、CMOSにおけるN<sup>+</sup>(高濃度)拡散層形成用マスクおよびP<sup>+</sup>(高濃度)拡散層形成用マスクに注目した。

【0029】本発明の第1の目的は、高速動作が可能なMISFETと、かつ高電圧駆動が可能なMISFETとを内蔵する新規な半導体集積回路装置を提供することにある。

【0030】本発明の第2の目的は、互いに異なる特性を有する同一導電型チャンネルMISFETを内蔵する半

(8)

14

導体集積回路装置を低コストで、かつその製造歩留まりの向上を実現させる方法を提供することにある。

【0031】本発明の第3の目的は、低耐圧MISFETと高耐圧MISFETとを内蔵した新規な半導体集積回路装置を提供することにある。

【0032】本発明の第4の目的は、低耐圧MISFETおよび高耐圧MISFETとを内蔵した半導体集積回路装置を低コストで実現させる方法を提供することにある。

【0033】本発明の第5の目的は、高速動作が可能なMISFETと、かつ高電圧駆動が可能なMISFETとを内蔵する新規なCMOS半導体集積回路装置を提供することにある。

【0034】本発明の第6の目的は、互いに異なる特性を有するpチャンネルMISFETと、互いに異なる特性を有するnチャンネルMISFETとを内蔵するCMOS半導体集積回路装置を低コストで実現させる方法を提供することにある。

【0035】本発明の第7の目的は、一つの半導体チップにフラッシュメモリと高速動作可能な論理演算回路とを内蔵した新規な半導体集積回路装置を提供するものである。

【0036】本発明の第8の目的は、一つの半導体チップにフラッシュメモリと高速動作可能な論理演算回路とを内蔵した半導体集積回路装置を低コストで実現する方法を提供するものである。

【0037】本発明の第9の目的は、一つの半導体チップにSRAMと高速動作可能な論理演算回路とを内蔵した新規な半導体集積回路装置を提供するものである。

【0038】本発明の第10の目的は、一つの半導体チップにSRAMと高速動作可能な論理演算回路とを内蔵した半導体集積回路装置を低コストで実現する方法を提供するものである。

【0039】本発明の第11の目的は、一つの半導体チップにDRAMと高速動作可能な論理演算回路とを内蔵した新規な半導体集積回路装置を提供するものである。

【0040】本発明の第12の目的は、一つの半導体チップにDRAMと高速動作可能な論理演算回路とを内蔵した半導体集積回路装置を低コストで実現する方法を提供するものである。

【0041】

【課題を解決するための手段】(1)本発明の第1の手段は、一つの半導体本体に互いに区画された第1半導体主面と第2半導体主面を有し、前記第1半導体主面にゲート絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極に整合され、前記第1半導体主面の導電型とは反対の導電型を示す比較的低濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に設けられた第1の絶縁膜と、前記第1の絶縁膜の端部に整合され、前記第1領域と同一導電型を示し、その第1

15

領域に接する比較的高濃度の第2領域と、前記第2領域主面に前記第1の絶縁膜の端部に整合された金属・半導体反応層とから成る第1MISFETと、前記第2半導体主面にゲート絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極に整合され、前記第2半導体主面の導電型とは反対の導電型を示す比較的低濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に設けられ、前記第1の絶縁膜に対してゲート長方向の幅が大きい第2の絶縁膜と、前記第2の絶縁膜の端部に整合され、前記第3領域と同一導電型を示し、その第3領域に接する比較的高濃度の第4領域と、前記第4領域主面に前記第2の絶縁膜の端部に整合された金属・半導体反応層とから成る第2MISFETとを有するものである。

【0042】上述した手段(1)によれば、第1MISFETの第2領域と金属半導体反応層とがそれぞれ第1の絶縁膜の端部に整合され、また第2MISFETの第4領域と金属半導体反応層とが第2の絶縁膜の端部にそれぞれ整合されており、また第2、第4領域の電極引き出し部は金属・半導体反応膜により低抵抗化される。

【0043】したがって、第1MISFETおよび第2MISFETそれぞれは高速動作が可能となる。そして、上記第2の絶縁膜の幅を上記第1の絶縁膜の幅よりも大きくしたことにより、上記第2半導体と上記第1領域とで構成されたPN接合端から金属・半導体反応層までの距離が上記第1半導体と上記第2領域とで構成されたPN接合端から金属・半導体反応層までの距離に比較して大きい。このため、上記第3領域内での空乏層の延びを充分確保でき、第1MISFETよりも耐圧の高い第2MISFET、すなわち高電圧駆動が可能なMISFETが得られる。

【0044】(2)本発明の第2の手段は、互いに絶縁分離層により区画された第1半導体と第2半導体を有し、前記第1半導体上に絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極および前記絶縁分離層に整合され、前記第1半導体の導電型とは反対の導電型を示す第1不純物濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に選択的に残された第1の絶縁膜と、前記第1の絶縁膜および前記絶縁分離層に整合され、前記第1領域と同一導電型で、かつ前記第1不純物濃度と比較して高濃度を示し、その第1領域に接する第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第1MISFETと、前記第2半導体上に絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極および絶縁分離層に整合され、前記第2半導体の導電型とは反対の導電型を示す第3不純物濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁および前記絶縁分離層より張り出して選択形成された第2

16

の絶縁膜と、前記第2の絶縁膜および前記絶縁分離層によって整合され、前記第3領域と同一導電型で、かつ前記第3不純物濃度と比較して高濃度を示し、その第3領域に接する第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第2MISFETとを有し、前記第2ゲート電極端からの前記第2の絶縁膜のパターン幅は前記第1ゲート電極端からの前記第1の絶縁膜のパターン幅よりも大きい設定されている。

10 【0045】上述した手段(2)によれば、上記第3領域内での空乏層の延びを充分確保でき、第1MISFETよりも耐圧の大きい第2MISFETが得られる。また、第2MISFETの金属・半導体反応層は前記第3領域および絶縁分離層から離れて形成されているため、接合リークの問題が解消される。

【0046】(3)本発明の第3の手段は、第1半導体主面に第1ゲート絶縁膜を介して第1ゲート電極を、第2半導体主面に第2ゲート絶縁膜を介して第2ゲート電極を、それぞれパターン形成する工程と、前記第1ゲート電極でマスクされていない前記第1半導体主面に、前記第1半導体の導電型とは反対の導電型を示す不純物を導入し、第1の不純物濃度を有する第1領域を形成する工程と、前記第2ゲート電極でマスクされていない前記第2半導体主面に、前記第1半導体の第1導電型とは反対の第2導電型を示す不純物を導入し、第3の不純物濃度を有する第3領域を形成する工程と、が形成された第2半導体主面にそれぞれ絶縁膜を形成する工程と、前記第1半導体主面上の絶縁膜を異方性エッチングを行うことにより前記第1ゲート電極の側壁に第1の絶縁膜を残す工程と、前記第2半導体主面上の絶縁膜にパターンマスクを設け、そのマスクにより前記絶縁膜をパターンエッチングすることにより前記第2ゲート電極の側壁に第2の絶縁膜を残す工程と、前記第1の絶縁膜でマスクされていない第1半導体主面に第2導電型を示す不純物を導入し、前記第1不純物濃度よりも高い第2不純物濃度を有する第2領域を形成し、前記第2の絶縁膜でマスクされていない第2半導体主面に第2導電型を示す不純物を導入し、前記第3不純物濃度よりも高い第4不純物濃度を有する第4領域を形成する工程と、前記第2領域表面に前記第1の絶縁膜で整合された金属・半導体層を、前記第4領域表面に前記第2の絶縁膜で整合された金属・半導体反応層をそれぞれ形成する工程とより成る。

40 【0047】上述した手段(3)によれば、第2領域とその表面の金属・半導体層とは前記第1の絶縁膜によって、第4領域とその表面の金属・半導体層とは第2の絶縁膜によってそれぞれ自己整合形成されるため、マスク枚数の低減が図れる。したがって、マスクそのものの製作コストの低減のみならず、マスクを用いたフォトリソパターン形成のためのフォトリソの塗布、感光、現像および洗浄・乾燥の一連の処理を削減すること



(10)

17

ができ、半導体集積回路装置のプロセスコストを大幅に低減できる。また、異物による不良発生率を低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となるからである。

【0048】(4)本発明の第4の手段は、基板に第1半導体領域と第2半導体領域とを有し、前記第1半導体領域主面に第1の膜厚を有するゲート絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極に整合され、前記第1半導体領域内に前記第1半導体領域の導電型とは反対の導電型を示す第1不純物濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に第1側壁幅を有して選択形成された第1側壁幅を有する第1の絶縁膜と、前記第1の絶縁膜に整合され、前記第1領域と同一導電型で、かつ前記第1不純物濃度と比較して高濃度を示し、一部がその第1領域にオーバーラップする第2領域と、前記第2領域主面に形成された金属・半導体反応層とから成る第1MISFETと、前記第2半導体領域主面に前記第1の膜厚よりも厚い第2の膜厚を有するゲート絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極に整合され、前記第2半導体領域内に前記第1半導体領域の導電型とは反対の導電型を示す第3不純物濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に選択形成された、前記第1側壁幅よりも大きい第2側壁幅を有する第2の絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域と同一導電型で、かつ前記第3不純物濃度と比較して高濃度を示し、その第3領域にオーバーラップする第4領域と、前記第4領域主面に形成された金属・半導体反応層とから成る第2MISFETとを有するものである。

【0049】上述した手段(4)によれば、第1MISFETのコンタクト領域である第2領域表面および第2MISFETのコンタクト領域である第4領域表面にはそれぞれ金属・半導体反応層が形成されて低抵抗化されているため、高速化、低消費電力化を図ることができる。そして、第2MISFETの第4領域は第1側壁幅よりも大きい第2側壁幅を有する第2の絶縁膜に整合されて形成されているため、第2の絶縁膜下の第3領域のオフセット長が第1の絶縁膜下の第2領域のオフセット長より長い。したがって、第3領域内での空乏層の延びを充分確保でき、第1MISFETよりも耐圧の高い第2MISFETが得られる。

【0050】なお、ここでのオフセット長は、チャンネル長方向のゲート電極端から高濃度領域端までの距離を示す。

【0051】(5)本発明の第5の手段は、第1半導体主面に第1ゲート絶縁膜を介して第1ゲート電極を、第2半導体主面に第2ゲート絶縁膜を介して第2ゲート電極を、それぞれパターン形成する工程と、前記第1ゲート電極でマスクされていない前記第1半導体主面に、前

18

記第1半導体の導電型とは反対の導電型を示すための不純物を導入し、前記第1ゲート電極で整合された第1の不純物濃度を有する第1領域を形成する工程と、前記第2ゲート電極でマスクされていない前記第2半導体主面に、前記第1半導体の第1導電型とは反対の第2導電型を示すための不純物を導入し、前記第2ゲート電極で整合された第3の不純物濃度を有する第3領域を形成する工程と、前記第1ゲート電極が形成された第1半導体主面および前記第2ゲート電極が形成された第2半導体主面にそれぞれ絶縁膜を形成する工程と、前記第1半導体主面上の絶縁膜を異方性エッチングを行うことにより前記第1ゲート電極の側壁に第1の絶縁膜を残す工程と、前記第2半導体主面上の絶縁膜にパターンマスクを設け、そのパターンマスクに規定されるように前記絶縁膜をパターンエッチングし、前記第2ゲート電極の側壁に前記第2の絶縁膜を残す工程と、前記第1の絶縁膜でマスクされていない第1半導体主面に第2導電型を示すための不純物を導入し、前記第1不純物濃度よりも高い第2不純物濃度を有し、前記第1の絶縁膜に整合された第2領域を形成し、前記第2の絶縁膜でマスクされていない第2半導体主面に第2導電型を示すための不純物を導入し、前記第3不純物濃度よりも高い第4不純物濃度を有し、前記第2の絶縁膜に整合された第4領域を形成する工程と、前記第2領域表面に前記第1の絶縁膜で整合された金属・半導体層を、前記第4領域表面に前記第2の絶縁膜で整合された金属・半導体反応層をそれぞれ形成する工程とより成る。

【0052】上述した手段(5)によれば、第2ゲート電極端から第4領域端までの第2領域の幅を第1ゲート電極端から第2領域端までの第1領域の幅よりも大きくできる。したがって、第1MISFETは高速動作で、比較的低電圧駆動に適した低耐圧MISFETとしてのデバイス機能(特性)が得られる。一方、第2MISFETは高速動作で、比較的低電圧駆動に適した高耐圧MISFETとしてのデバイス機能(特性)が得られる。また、第2領域とその表面の金属・半導体層とは前記第1の絶縁膜によって、第4領域とその表面の金属・半導体層とは第2の絶縁膜によってそれぞれ自己整合形成されるため、マスク枚数の低減が図れる。したがって、半導体集積回路装置のプロセスコストも大幅に低減できる。

【0053】(6)本発明の第6の手段は、一つの半導体本体に互いに区画された第1導電型の第1ウェルと前記第1導電型とは反対の導電型を示す第2導電型の第2ウェルとを有し、前記第1ウェル主面に絶縁膜を介して設けられた第1ゲート電極と、前記第1ウェル内に形成された第2導電型の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に設けられた第1の絶縁膜と、前記第1の絶縁膜によって整合され、その第1領

(11)

19

域に接する第2導電型の第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第2導電型チャンネルの第1MISFETと、前記第2ウェル主面に絶縁膜を介して設けられた第2ゲート電極と、前記第2ウェル内に第1導電型の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に設けられた第2の絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域に接する第1導電型の第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第1導電型チャンネルの第2MISFETとを有することを特徴とするCMIS半導体集積回路装置。

【0054】上述した手段(6)によれば、第1MISFET(具体的にはpチャンネルMISFET)のためのコンタクト領域である第2領域とその第2領域表面に形成される金属・半導体反応層とが第1の絶縁膜に整合され、第2MISFET(具体的にはnチャンネルMISFET)のためのコンタクト領域である第4領域とその第4領域表面に形成される金属・半導体反応層とが第2の絶縁膜に整合されている。そして、第2、第4領域表面は金属・半導体反応層を設けて低抵抗化されている。

【0055】以上、代表的な本発明の課題を解決するための手段とその作用を簡単に述べた。さらに、前述の目的を達成するための本発明の解決手段は、以下に述べる発明の実施の形態で明らかにする。

【0056】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0057】<実施の形態1>本実施の形態1では、例えば8Mビットフラッシュメモリと、高速ロジック回路と、その周辺回路とを同一半導体チップ内に設けた半導体集積回路装置に適用した場合について説明する。

【0058】図1は本発明の技術思想が適用された半導体集積回路装置であり、フラッシュメモリとCMIS(Complementary Metal Insulator Semiconductor)デバイス構成の論理演算回路(Logic circuit)とをワンチップ上に搭載したシステムオンチップ(以下、フラッシュメモリ内蔵システムLSIと称す。)の断面図を示す。そして、図2はこのフラッシュメモリ内蔵システムLSIのブロック図の一例を簡単に示している。

【0059】なお、CMISデバイスは、第1導電型(n)チャンネルMISFETと第1導電型に対して反対の導電型を示す第2導電型(p)チャンネルMISFETとを組み合わせた相補型絶縁ゲート電界効果トランジスタで構成されている。この相補型絶縁ゲート電界効果トランジスタは、通常“CMOS”と呼ばれている。

【0060】まず、図2を用いてフラッシュメモリ内蔵システムLSIの回路ブロックを簡単に説明する。

20

【0061】フラッシュメモリ内蔵システムLSI(半導体チップ1)は、CMOS素子を基本デバイスとして、高速論理演算を行う高速ロジック回路LOGIC(例えばプロセッサ)、プログラムメモリとしてのフラッシュメモリアレイFMAY、LOGICとFMAYとの間にはFMAYのデータを一時的に格納させておくデータバッファDB、書込み・消去に必要な高電圧電源回路PC、データ書込み・消去のための制御回路CONT1そしてデータ読出しのための制御回路CONT2を構成している。前記FMAYは、電気的な書込み・消去によって情報を書換え可能であって、EPROM(Erasable PROM)と同様にそのメモセルを1個のトランジスタで構成することができ、さらにメモセルの全てを一括して、またはメモセルのブロック(メモリブロック)を一括して電気的に消去する機能を持つ。このFMAYは、一括消去可能な単位として複数個のメモリブロックを有する。

【0062】このフラッシュメモリ内蔵システムLSIは、例えば、外部電源電圧3.3Vが使用される。そして、チップ1内に組み込まれた降圧回路(たとえば電圧リミッタ:図示せず)により降圧させて内部低電圧1.8Vが発生される。また、高電圧電源回路PC内の昇圧回路(図示せず)により昇圧させて内部高電圧10~12Vが発生される。そして、それらの使用電源電圧に応じたデバイス特性を有するMISFETにより上記の回路ブロックが構成されている。

【0063】なお、内部電圧1.8Vで駆動されるMISFETは1.8V駆動MISFET(1.8V-driverMISFET)と言う。また、外部電源電圧3.3Vが内部低電圧として用いられ、その電圧3.3Vで駆動されるMISFETを3.3V駆動MISFET(3.3V-driverMISFET)と言う。さらに、例えば、高電圧電源回路PCを構成するMISFETのように内部高電圧10~12Vで駆動されるMISFETを12V駆動MISFET(12V-driverMISFET)と言う。

【0064】さらに、1.8V駆動MISFETや3.3V駆動MISFETのような相対的に低い電圧駆動のMISFETは高速化のためデバイス構造も微細化される。したがって、このようなMISFETはゲート耐圧も低い。以下、このようなMISFETを低耐圧MISFET(低耐圧MIS)と言う。

【0065】一方、12V駆動MISFETのような相対的に高い電圧駆動のMISFETはゲート耐圧も高くされる。以下、このようなMISFETを高耐圧MISFET(高耐圧MIS)と言う。

【0066】高速化、低消費電力および低コスト化を図った本発明のフラッシュメモリ内蔵システムLSIを図1を用いて以下に説明する。図1は、フラッシュメモリ内蔵システムLSIの要部断面図であって、低耐圧MIS部、高耐圧MIS部およびメモセル部のMISFE

21

Tの断面構造を示す。

【0067】図1において、一つのp型半導体本体(p型シリコン基板)1主面の低耐圧MIS部には、基板に対し反対導電型を示すnウェル(N-Well)4aと基板に対し同一導電型を示すpウェル(P-Well)5aとが選択形成されている。高耐圧MIS部には、nウェル4bとpウェル5bとが選択形成されている。そして、メモリセル部(FMAY)には埋め込みnウェル(N-IS0)3を介してpウェル5cが選択形成されている。それぞれのウェル表面には、活性領域(MISFETが形成される領域)を区画するための素子分離領域(浅溝分離領域)2が選択形成されている。この浅溝分離領域2は、基板1に形成した溝の内部にシリコン酸化膜を埋め込んだ構成になっており、その表面は、それぞれのウェルの表面とほぼ同じ高さになるように平坦化されている。

【0068】低耐圧MIS部において、nウェル4a内に、pチャネルMISFET(PMOS1)が、pウェル5a内にnチャネルMISFET(NMOS1)がそれぞれ形成されている。PMOS1およびNMOS1のそれぞれは、1.8V駆動MISFETを構成する。それらのソース・ドレイン領域は、低不純物濃度領域と高不純物濃度領域とから成るLDD構造が採用され、短チャネル効果を抑制している。そして、PMOS1、NMOS1のソース・ドレイン領域表面およびゲート電極表面のそれぞれには、低抵抗化のための金属・半導体反応層21s, 21d, 21gが形成されている。これら金属・半導体反応層は、後で詳しく述べるが、サリサイド構造が採られている。

【0069】高耐圧MIS部において、nウェル4b内にpチャネルMISFET(PMOS2)が、pウェル5b内およびnチャネルMISFET(NMOS2)がそれぞれ形成されている。MOS2およびNMOS2のそれぞれは、1.2V駆動MISFETを構成する。それらのソース・ドレイン領域もまた、低不純物濃度領域と高不純物濃度領域とから成るLDD構造が採用されている。そして、PMOS1、NMOS1のソース・ドレイン領域表面およびゲート電極表面のそれぞれには、低抵抗化のための金属・半導体反応層21s, 21dが形成されている。

【0070】さらに、メモリセル部において、pウェル5c内に複数のメモリセルが形成されている。メモリセルのそれぞれは、フローティング電極FGと、そのフローティング電極FG上に層間絶縁膜を介して設けられたコントロール電極CGとから成るゲート電極と、LDD構造のソース・ドレイン領域から成る。そして、ソース・ドレイン領域の表面には金属・半導体反応層21s, 21dが形成され、コントロール電極CG表面に金属・半導体反応層21gが形成されている。これらのメモリセルにより、例えば、NOR型のフラッシュメモリセルアレイが構成されている。なお、埋込みnウェルN-IS0により、pウェルは

(12)

22

基板(P-sub)から分離され、独立した基板バイアスが与えられる。

【0071】本実施の形態1によれば、低耐圧MIS(PMOS1、NMOS1)のソース・ドレイン領域の高濃度領域(配線コンタクト領域)19s, 19d; 16s, 16dと金属・半導体反応層21s, 21dとは、ゲート電極9a, 9bのそれぞれの側壁に異方性エッチングにより形成された第1の絶縁膜(いわゆるサイドウォール膜またはサイドウォールスペーサ)15d, 15aの端部に整合(align)されている。すなわち、低耐圧MIS部のMISFETは、図3に示したように、配線コンタクト領域(9s, 19d)と金属・半導体反応層(21s, 21d)とが一致したパターン形状となり、その配線コンタクト領域主面全体が低抵抗化されたデバイス構造になっている。

【0072】この低耐圧MISは主に高速ロジック回路を構成する。したがって、そのロジック回路の高速動作を実現するために、低耐圧MISのゲート電極(配線)21gも、その表面にサリサイド層が形成され、低抵抗化が図られている。

【0073】一方、高耐圧MIS(PMOS2、NMOS2)は、上述したオフセットMISの問題点を解決したデバイス構造になっている。すなわち、ソース・ドレイン領域の高濃度領域(配線コンタクト領域)20s, 20d; 17s, 17dと金属・半導体反応層21s, 21dとは、マスクパターンによって形成された第2の絶縁膜15e, 15cの端部に整合されている。この第2の絶縁膜15e, 15cは、図3に示すように、ゲート長Lの方向の第1の絶縁膜のパターン幅W1よりも大きいパターン幅W2を有するように形成されている。このため、同一導電型チャネルのNMOS1(低耐圧MIS)およびNMOS2(高耐圧MIS)における低不純物濃度領域のオフセット長を対比した場合、NMOS1オフセット長(OFF1) > PMOSオフセット長(OFF2)の関係にある。したがって、高耐圧MISにおいては、低不純物濃度領域内での空乏層が十分に延びるため、ドレイン端での電界が緩和される。このため、アバランシェ現象が生じにくくなり、ドレイン耐圧を向上させることができる。また、低抵抗化のための金属・半導体反応層21s, 21dは、その第2の絶縁膜15cによって高濃度領域(配線コンタクト領域)17s, 17dとともに整合されたものである。したがって、低不純物濃度領域内にその金属・半導体反応層が形成されていないため、接合リークの増大を招くこともない。

【0074】この高耐圧MISのゲート電極21gは、サリサイド層が形成されていない。その理由は、以下に述べる製造方法から理解されるであろう。高耐圧MISは、低耐圧MISに比べてシステムLSIの中で占める割合が極めて小さい。すなわち、高耐圧MISは電源回路や書込み・消去のための制御回路の一部に適用されるものである。また、高耐圧MISは低耐圧MISに比べ、高速性は要求されていない。したがって、高耐圧M

23

ISにおいて、ゲート電極表面をサリサイド層とする必要性は無い。

【0075】次に、本実施の形態1のフラッシュメモリ内蔵システムLSIの製造方法を図4～図31を参照して説明する。

【0076】(素子分離領域形成工程) 図4は、浅溝分離領域2が半導体本体(P-sub)1に形成された段階を示している。図は省略されているが、この浅溝分離領域2を形成するまでの製造プロセスは以下のとおりである。

【0077】抵抗率 $10\Omega\cdot\text{cm}$ を有するp型シリコン(Si)単結晶からなる半導体本体1を準備する。この半導体本体1の主面に、例えば厚さ $10\sim 30\text{nm}$ 程度のシリコン酸化膜からなるパッド膜を熱酸化法により形成する。続いて、そのパッド膜上に、厚さ $100\sim 200\text{nm}$ 程度のシリコン窒化膜を化学気相成長法(CVD法)により堆積する。このパッド膜は、シリコン窒化膜からなる絶縁膜(溝形成用マスク)が直接シリコン主面に被覆した場合にその表面に熱的歪が残留し、結晶欠陥を引き起こすのを防止するためのバッファ膜である。

【0078】続いて、上記窒化膜上に、素子分離領域部が開口したフォトリソマスクを公知のフォトリソグラフィ技術を用いて形成する。そして、このフォトリソマスクをエッチングマスクとして素子分離領域部の窒化シリコン膜、パッド膜および半導体本体を順次エッチングすることにより、半導体本体1に深さ $350\sim 400\text{nm}$ 程度の溝2a(図4)を形成する。

【0079】なお、窒化シリコン膜をドライエッチングするガスは、例えば $\text{CF}_4+\text{CHF}_3+\text{Ar}$ または $\text{CF}_4+\text{Ar}$ が使用される。また、半導体本体1をドライエッチングするガスは、 $\text{HBr}+\text{Cl}_2+\text{He}+\text{O}_2$ が使用される。

【0080】次いで、フォトリソマスクを除去した後、溝の表面を含む半導体本体1の主面上に、例えば、厚さ $400\text{nm}$ のシリコン酸化膜をCVD法で堆積した後、そのシリコン酸化膜を溝2a内のみに残るようにCMP(化学的機械研磨: Chemical Mechanical Polishing)法によって平坦化することにより、素子分離領域2を形成する。その後、約 $1000^\circ\text{C}$ の熱処理を施して溝2aに埋め込まれたシリコン酸化膜をデンシファイ(焼締め)する。この後、熱リン酸を用いたウェットエッチングにより半導体本体1上に残ったシリコン窒化膜を除去する。この結果、半導体本体1に埋め込まれた深さ $350\sim 400\text{nm}$ の素子分離領域2が得られる。なお、パッド膜は半導体本体1表面の汚染防止のために、そのまま残してもよい。また、パッド膜をウェットエッチングにより除去し、再度熱酸化によりその半導体本体1表面にクリーンなシリコン酸化膜を形成してもよい。このシリコン酸化膜は次のウェル形成工程でのイオン打ち込み法によるイオンダメージを軽減する保護膜として作用する。

【0081】(ウェル形成工程) 図5～図7において、各図、ウェル形成のためにイオン打ち込み技術を用いた

(13)

24

不純物導入を示している。

【0082】まず、図5に示すように、半導体本体1主面のメモリセル部にp型半導体本体1からメモリセルアレィが形成されるpウェルを分離するために、埋込みnウェル(N-IS0)3を形成する。

【0083】半導体本体1主面上に、メモリセル部が開口された厚さ $5\mu\text{m}$ 程度のフォトリソパターンPR1をホトリソグラフィ技術により形成する。そして、埋込みnウェル(N-IS0)3を形成するために、フォトリソパターンPR1をマスクとして半導体本体1内に選択的に高エネルギーイオン打ち込みを行う。すなわち、フォトリソパターンPR1(および素子分離領域2の一部)をマスクとして、n型不純物のリンを、例えば、加速エネルギー $2300\text{keV}$ 、ドーズ量 $1\times 10^{13}/\text{cm}^2$ の条件で、半導体本体1の深い位置にイオン打ち込みする。この後、引き延ばし拡散のための熱処理(アニール)を行い、半導体本体1の主面から深さ $2\sim 3\mu\text{m}$ の深さに不純物濃度のピークがくるように埋込みnウェル3が形成される。

【0084】次いで、フォトリソパターン(マスク)PR1を除去した後、図6に示すように、半導体本体1の主面の低耐圧MIS部のPMOS1および高耐圧MIS部のPMOS2が形成される部分にそれぞれnウェル(N-Well)4a, 4bを形成するためのイオン打ち込みが行われる。

【0085】イオン打ち込みは、フォトリソパターンPR2をマスクとして、n型不純物のリンを、例えば加速エネルギー $1300\text{keV}$ 、ドーズ量 $1\times 10^{13}/\text{cm}^2$ の条件、加速エネルギー $600\text{keV}$ 、ドーズ量 $5\times 10^{12}/\text{cm}^2$ の条件そして加速エネルギー $200\text{keV}$ 、ドーズ量 $5\times 10^{11}/\text{cm}^2$ の条件よりなる3つの条件で段階的に行う。さらに、p型不純物の2フッ化ホウ素( $\text{BF}_2$ )を、例えば加速エネルギー $70\text{keV}$ 、ドーズ量 $2\times 10^{12}/\text{cm}^2$ の条件でイオン打ち込みを行う。

【0086】段階的なリンのイオン打ち込みは、深さ方向のウェル濃度分布を均一にさせ、引き延ばし拡散のための熱処理(高温アニール)を回避するためである。一方、 $\text{BF}_2$ のイオン打ち込みは、pチャネルMISFETのしきい電圧を設定するために実行される。

【0087】次いで、フォトリソパターン(マスク)PR2を除去した後、図7に示すように、半導体本体1の主面の低耐圧MIS部のNMOS1、高耐圧MIS部のNMOS2が形成される部分そしてメモリセル部に、それぞれpウェル(P-Well)5a, 5b, 5cを形成するためのイオン打ち込みが行われる。

【0088】このイオン打ち込みは、フォトリソパターンPR3をマスクとして、p型不純物のホウ素を、例えば加速エネルギー $450\text{keV}$ 、ドーズ量 $1\times 10^{13}/\text{cm}^2$ の条件、加速エネルギー $200\text{keV}$ 、ドーズ量 $3\times 10^{12}/\text{cm}^2$ の条件そして加速エネルギー $50\text{keV}$ 、ドーズ量 $1.2\times 10^{12}/\text{cm}^2$ の条件の3つの条件で段階的に行う。段階的なイオン打ち込みは、上記nウェル形成と同様の理由により実行される。

25

【0089】nウエルおよびpウエル形成のためのイオン打ち込みした後、950℃程度の熱処理（ウエルアニール）でリンとホウ素とを引き伸ばし拡散してウエル形成が完了する。

【0090】（メモリセル部ゲート絶縁膜形成工程）図8に示すように、半導体本体1の主面にフラッシュメモリのためのゲート絶縁膜（トンネル酸化膜）6aをする。

【0091】例えば、半導体本体1の主面をHF（フッ酸）系の洗浄液を用いて洗浄し、各ウエル表面をクリーンにした後、800℃程度のウェット雰囲気での熱酸化により各ウエル表面に厚さ10nm程度のトンネル酸化膜（SiO<sub>2</sub>）6を形成する。

【0092】（メモリセル部ゲート電極形成工程）図9は、メモリセルのゲート幅方向を規定するパターン形成を行ったフローティング電極6b構造を示す。このフローティング電極CGは、最終的なフローティング電極パターンを示すものではない。

【0093】まず、トンネル酸化膜6aが形成された半導体本体1主面全体に、抵抗値を低減する不純物（例えばリン）を含む多結晶シリコン層7がCVD（Chemical Vapor Deposition）法により、厚さ70nm程度に形成される。

【0094】続いて、多結晶シリコン層7の表面に層間絶縁膜8としてCVD法によってシリコン酸化膜（SiO<sub>2</sub>）を形成する。層間絶縁膜8の膜厚は、トンネル酸化膜の厚さのほぼ5倍程度の厚さ50nmであり、トンネル酸化膜との容量結合比を考慮して決定される。また、層間絶縁膜8は、フラッシュメモリのデバイス特性の向上、特に誘電率を上げるために酸化窒化膜（具体的にはONO積層膜）の適用される。

【0095】続いて、フォトレジストパターンPR4をマスクとして、層間膜8、多結晶シリコン層7そしてトンネル酸化膜6aを、順次、エッチング除去し、高耐圧MIS部および低耐圧MIS部の各ウエル表面を露出する。

【0096】（高耐圧MISゲート絶縁膜形成工程）厚いゲート酸化膜を必要とする高耐圧MISのゲート酸化膜形成が低耐圧MISのゲート酸化膜形成に先行して行われる。

【0097】図10に示すように、半導体本体1主面上に高耐圧MIS部におけるMISFETのためのゲート絶縁膜6bを形成する。

【0098】ゲート絶縁膜6bは、シリコン酸化膜から成り、高耐圧MIS部および低耐圧MIS部における各ウエル4a, 4b, 5a, 5bの表面を熱酸化法によって形成される。ゲート絶縁膜6bの膜厚は15～16nm程度であるが、この膜厚は最終的なゲート絶縁膜の厚さではない。

【0099】（低耐圧MISゲート絶縁膜形成工程）ゲート絶縁膜6bを約950℃、20minアニールした後、図11に示すように、フォトレジストパターンPR5をマスクとして、HF系エッチング液を用いて、ゲート絶縁

(14)

26

膜6bを選択除去し、低耐圧MIS部における各ウエル4a, 5aの表面を露出させる。

【0100】フォトレジストパターンPR5を除去した後、図12に示すように、低耐圧MIS部のMISFETのためのゲート絶縁膜6cを形成する。ゲート絶縁膜6cは、膜厚4.5～5nm程度のシリコン酸化膜より成り、露出したウエル4a, 5a表面を熱酸化することにより形成される。また、高耐圧MIS部のウエル4b, 5b上のゲート絶縁膜6bは、ゲート絶縁膜6c形成時に、高耐圧MIS部のウエル4b, 5b表面が再酸化され、厚さ約18nmの熱酸化膜（サーマルSiO<sub>2</sub>膜）で構成される。このような熱酸化膜により充分なゲート耐圧が得られる。

【0101】（メモリセル、高耐圧MIS&低耐圧MISのゲート電極形成工程）図13に示すように、ゲート酸化膜が形成された半導体本体1の主面全体に、ゲート電極のための導体層9を堆積する。導体層9は、多結晶シリコンから成り、CVD法によって形成される。導体層9の膜厚は250nm程度である。続いて、導体層9をエッチングダメージから守るために、導体層9表面に、CVD-SiO<sub>2</sub>より成るキャップ層100を形成する。キャップ層の膜厚は50nm程度である。

【0102】続いて、図14に示したように、フォトレジストパターンPR6をマスクとして、低耐圧MIS部と高耐圧MIS部のキャップ層100を除去する。

【0103】続いて、図15に示したフォトレジストパターン（マスク）PR5を除去した後、図16に示したように、半導体本体1主面（低耐圧MIS部、高耐圧MIS部およびメモリセル部）全体に、再度、CVD-SiO<sub>2</sub>より成る厚さ50nmのキャップ層を堆積させる。この結果、低耐圧MIS部および高耐圧MIS部の導体層9上のキャップ層100aの厚さは50nmとなり、メモリセル部の導体層9上のキャップ層100bの厚さは100nmとなる。キャップ層の膜厚を異ならせた理由は、以下に述べるゲート電極をパターン加工する工程で詳しく述べる。

【0104】続いて、導体層9を選択除去することによりメモリセル、高耐圧MISおよび低耐圧MISのゲート電極をパターン加工する。

【0105】まず、図16に示したように、フォトレジストパターンPR7をマスクとして、まず、キャップ層100a, 100bを選択除去する。

【0106】続いて、フォトレジストパターン（マスク）PR7を除去した後、図17に示したように、キャップ層100a, 100bをマスクとして、塩素系ガスを用いて多結晶シリコン層9を選択エッチング（ドライエッチング）し、低耐圧MISおよび高耐圧MISのゲート電極9a, 9b; 9c, 9dが、メモリセルのコントロールゲート電極9eがパターン形成される。このエッチング時に、キャップ層100a, 100bもエッチングされる。図17において、キャップ層100a, 100bのそれぞれの膜厚はほぼ同じ厚さで示しているが、この時点でのキャップ層100aの膜厚は20

(15)

27

nm程度であり、キャップ層100bの膜厚は70nm程度である。

【0107】キャップ層をゲート電極パターン加工のマスクとした理由は以下のとおりである。フォトリソストをマスクに塩素系ガスを用いたゲート電極パターン加工を行うと、その加工時にフォトリソストの側壁に反応生成物が徐々に被着される。この反応生成物がマスクとなり、ゲート電極のパターン幅は、上部に比べて下部が広がったテーパー状にパターン加工されてしまう。このため、目的としたチャネル長のMISFETが得られない。すなわち、ゲート微細パターン加工が困難となる問題が生じた。この問題解決のために、フォトリソストパターン(マスク)PR7を除去し、キャップ層100a, 100bをマスクとしてゲート電極パターンの加工が行われる。

【0108】続いて、図18に示すように、メモリセル部に開口部を有するフォトリソストパターンPR8をマスクとして、フローティング電極7のパターン加工を行う。

【0109】まず、メモリセル部の層間絶縁膜8をエッチング除去する。このとき、キャップ層100bもエッチングされ、残されたその膜厚は20nmとなる。したがって、マスクPR8で覆われたキャップ層100aと同一もしくは、ほぼ同一の膜厚となる。このため、後で述べるように、キャップ層100a, 100bのエッチングが容易になる。キャップ層100bの膜厚をキャップ層100aの膜厚よりも大きくした理由は、この段階でキャップ層100a, 100bの膜厚を揃えるためである。

【0110】続いて、コントロールゲート電極9eに規定されるようにフローティング電極7を選択エッチングを行う。この結果、図18に示すように、ゲート長方向において、コントロールゲート電極9eと一致したフローティング電極7のパターンが形成される。

【0111】(NMOSのLDD部形成工程) フォトリソストパターン(マスク)PR8を除去した後、図19に示すように、低耐圧MIS部と高耐圧MIS部のNMOS形成領域およびメモリセル部に低不純物濃度の半導体領域(LDD部10s, 10d; 11s, 11d; 12d, 12s)を形成する。

【0112】まず、低耐圧MIS部と高耐圧MIS部のNMOS形成領域およびメモリセル部に開口部を有するフォトリソストパターン(マスク)PR9を半導体本体1上に形成する。

【0113】続いて、n型不純物として砒素(As)を、ゲート電極9bによって規定されるようにpウエル5a内に、ゲート電極9dによって規定されるようにpウエル5b内に、そしてゲート電極9eによって規定されるようにpウエル5c内に、それぞれイオン打ち込みにより導入する。イオン打ち込みは、加速エネルギー20keV、ドーズ量 $1 \times 10^{14}$  atoms/cm<sup>2</sup>程度の条件で行われる。

【0114】(PMOSのLDD部形成工程) フォトリソストパターン(マスク)PR9を除去した後、図20に

28

示すように、低耐圧MIS部と高耐圧MIS部のPMOS形成領域に低不純物濃度の半導体領域(LDD部13s, 13d; 14s, 14d)を形成する。

【0115】まず、低耐圧MIS部と高耐圧MIS部のPMOS形成領域に開口部を有するフォトリソストパターン(マスク)PR9を形成する。そして、n型不純物、としてボロン(B)を、ゲート電極9aによって規定されるようにnウエル4a内に、ゲート電極9cによって規定されるようにnウエル4b内に、それぞれイオン打ち込みにより導入する。このイオン打ち込みは、例えば加速エネルギー10~20keV、ドーズ量 $1 \times 10^{14}$  atoms/cm<sup>2</sup>程度の条件で行われる。そして、この時のイオン打ち込みにより、ゲート電極9a, 9cのそれぞれにもボロンが導入される。

【0116】続いて、アニール処理による不純物の引き延ばし拡散を行い、NMOSおよびPMOSそれぞれの低不純物濃度の半導体領域(LDD部)を形成する。

【0117】(絶縁膜形成工程) フォトリソストパターン(マスク)PR10を除去した後、図21に示すように、LDD部が形成された低耐圧MIS部、高耐圧MIS部およびメモリセル部主面上にそれぞれのMISFETにおける高不純物濃度領域を規定するためのマスクとなる絶縁膜15を形成する。絶縁膜15は、プラズマ処理によって形成された窒化シリコン膜より成る。この絶縁膜15は、窒化シリコン膜に制限されるものではなく、CVDSiO<sub>2</sub>膜であってもよい。そして、その膜厚は100nm程度である。

【0118】(NMOS高濃度領域形成工程) 図22に示すように、フォトリソストパターンPR11をマスク(以下、第1のマスクと言う)として、窒化シリコン膜15を異方性エッチング加工により選択除去する。

【0119】第1のマスクPR11の開口部は、低耐圧MIS部のNMOS形成領域では、その開口端部が素子分離領域2上に位置して、余裕度を持った開口パターンで構成されている。一方、高耐圧MIS部のNMOS形成領域では、図3に示したオフセット構造の高耐圧MIS(NMOS2)を得るために、第1のマスクPR11の開口端部は素子分離領域2およびゲート電極9d端部よりオフセットされている。

【0120】この第1のマスクPR11を用いて窒化シリコン膜15に対し異方性エッチングを行う。この結果、ゲート電極9b, 9e上部は除去され、そのゲート電極9b, 9eの側壁にサイドウォール膜15a, 15b(第1の絶縁膜)が残る。一方、ゲート電極9dの側壁には第1のマスクPR11によって窒化シリコン膜15が選択エッチングされ、窒化シリコン膜15c(第2の絶縁膜)がパターン形成される。

【0121】続いて、図23に示すように、この窒化シリコン膜15a, 15b(第1の絶縁膜)と窒化シリコン膜15c(第2の絶縁膜)によって規定されるようにpウエル5a, 5b, 5c内にそれぞれn型不純物、例えばヒ素(As)をイオン打ち込みにより導入する。このイオン打ち込みは、例



(16)

29

例えば加速エネルギー60keV、ドーズ量 $3 \times 10^{15}$  atoms/cm<sup>2</sup>の条件で行われる。そして、このイオン打込みにより、ゲート電極9b, 9eのそれぞれにも不純物が導入される。すなわち、nゲート（n導電型ゲート電極）NMO Sが得られる。

【0122】（PMOS高濃度領域形成工程）第1のマスクPR11を除去した後、図24に示すように、フォトリジストパターンPR12をマスク（以下、第2のマスクと言う）として、窒化シリコン膜15を異方性エッチング加工により選択除去する。

【0123】第2のマスクPR12の開口部は、低耐圧MIS部のPMOS形成領域では、その開口端部が素子分離領域2上に位置して、余裕度を持った開口パターンで構成されている。一方、高耐圧MIS部のPMOS形成領域では、図3に示したオフセット構造の高耐圧MIS（NMOS2）と同様な構造を得るために、第2のマスクPR12の開口端部は素子分離領域2およびゲート電極9a端部よりオフセットされている。

【0124】第2のマスクPR12を用いて窒化シリコン膜15に対し異方性エッチングを行うことにより、ゲート電極9a上部は除去され、そのゲート電極9aの側壁にサイドウォール膜15d（第3の絶縁膜）が残る。一方、ゲート電極9cの側壁には第2のマスクPR11（マスクパターン）によって窒化シリコン膜15が選択エッチングされ、窒化シリコン膜15e（第4の絶縁膜）がパターン形成される。

【0125】続いて、図25に示すように、この窒化シリコン膜15d（第3の絶縁膜）と窒化シリコン膜15e（第4の絶縁膜）によって規定されるようにnウエル4a, 4b内にそれぞれp型不純物、例えばボロン（B）をイオン打込みにより導入する。このイオン打込みは、例えば加速エネルギー10keV、ドーズ量 $3 \times 10^{15}$ /cm<sup>2</sup>の条件で行われる。そして、このイオン打込みにより、ゲート電極9aにも不純物が導入される。すなわち、pゲート（p導電型ゲート電極）PMOSが得られる。

【0126】（シリサイド層形成工程）図26に示すように、金属・半導体反応層21s, 21d, 21gを形成する。

【0127】続いて、低抵抗化のためのシリサイドーションに適した金属（高融点金属）を半導体本体1主面上に堆積する。この金属としてはコバルト（Co）が用いられ、スパッタリングにより厚さ7～10nm程度堆積される。コバルト以外には、チタン（Ti）が選ばれる。しかし、発明者等の検討によれば、チタンに比べコバルトが低抵抗化とともに微細化に適していることが明らかとなった。すなわち、コバルトの場合、細線効果がチタンに比べて少ないからである。この細線効果とは、ゲート加工寸法、あるいは配線加工寸法を小さくすると、逆に抵抗が大きくなることをいう。

【0128】コバルトを堆積した後、窒素雰囲気中で500℃、1分程度のアニール処理を行う。この処理によ

30

りゲート電極（9a, 9b, 9e）表面および高濃度領域（19s, 19d; 16s16d, 20s, 20d; 17s, 17d; 18s, 18d）のそれぞれの表面はシリサイドーションがなされる。そして、窒化シリコン15および素子分離領域2上の未反応のコバルトをエッチングにより除去した後、再度、窒素雰囲気中で700℃、1分程度のアニール処理を行う。この結果、コバルトシリサイド（CoSi<sub>2</sub>）より成る金属・半導体反応層が形成される。コバルトシリサイド層21s, 21d, 21gは、露出する半導体（ゲート電極および高濃度領域）表面のみ  
10 に自己整合形成される。すなわち、低耐圧MIS部にはサイドウォール（第1、第3の絶縁膜）15a, 15dによって整合された高濃度領域にシリサイド層（コバルトシリサイド層21s, 21d, 21g）が形成される。また、高耐圧MIS部にはマスクパターン形成の絶縁膜（第2、第4の絶縁膜）15c, 15eによって整合された高濃度領域にシリサイド層（コバルトシリサイド層21s, 21d, 21g）が形成される。つまり、シリサイド層は低濃度領域（LDD部）には形成されることなく、高濃度領域（配線コンタクト領域）表面全体に形成される。

20 【0129】なお、図26において、nウエル4aとpウエル5aとの境界部に位置する素子分離領域2上に、窒化シリコン膜15xがエッチング残りとして存在する。これは第1のマスクと第2のマスクとを互いに合わせずれを起こさせ、常にフィールド上に0.5μm程度の幅でその窒化シリコン膜15xが残るように2回のレジスト境界を充分重ねてレイアウトする。この手段により、境界部のその窒化シリコン膜15xが細い筋状になり剥がれることを防ぐためである

（コンタクト形成工程）図27に示すように、層間絶縁膜22を形成した後、コンタクト孔THを形成する。

30 【0130】まず、シリサイドーションが完了した半導体本体1主面上に層間絶縁膜として、CVD法で酸化シリコン膜22を堆積し、次いでCMP法を用いてこの酸化シリコン膜22の表面を平坦化する。酸化シリコン膜22の膜厚は、CMP法による平坦化を考慮して、適宜、設定される。

【0131】続いて、高濃度領域表面に形成されたシリサイド層（コバルトシリサイド層21s, 21d）表面を露出するコンタクト孔THを形成する。このコンタクト孔THの  
40 形成は、フォトリジストパターンをマスクとした周知技術の方法により行われる。

【0132】（第1層目配線形成工程）図28に示すように、第1層目の配線M1をパターン形成する。

【0133】まず、コンタクト孔THを埋め込むようにプラグP1を形成する。このプラグP1はタングステンプラグより成り、以下の順序で形成される。

50 【0134】タングステンと下地シリサイド層との反応を防ぐための反応防止膜として、窒化チタン（TiN）をスパッタリングにより薄く堆積する。続いて、この窒化チタン膜上にタングステン（W）をコンタクト孔を埋め

31

込むように堆積する。Wによりコンタクト孔THを完全に埋め込むために、Wの膜厚はコンタクト孔径の1/2以上必要とされる。この後、堆積したタングステン (W) および窒化チタン (TiN) 全体をエッチングする方法 (エッチバック) により、プラグP1をコンタクト孔内のみに残す。

【0135】次に、金属層をスパッタ法により堆積し、フォトリソグラフパターンをマスクとした周知のホトリソグラフィ技術により、第1層目の配線としてパターン形成する。第1層目配線は、TiN/Ti/AlCu/Ti (最上層/上層/主配線層/下層) で構成される。すなわち、第1層目配線は、下から順にSiO<sub>2</sub>膜 (層間絶縁膜) との接着性およびWプラグとの接触抵抗を低減するためのTi (厚さ: 10nm)、Alを主要配線材料としたAl-0.5%Cu (厚さ: 500nm)、AlCuとTiNとの間の接着性を良好にするためのTi (厚さ: 10nm) そして反射防止膜としてのTiN (厚さ: 75nm) を順にスパッタ法で形成した積層配線より成る。反射防止膜 (TiN) はホトリソグラフの露光時に金属層からの反射光により過剰にホトリソグラフが露光されるのを防止するための膜である。

【0136】(第2層目配線形成工程) 図29に示すように、層間絶縁膜23上にプラグP2を介して第1層目の配線M1に接続される第2層目の配線M2をパターン形成する。

【0137】まず、図27に示した層間絶縁膜22の形成と同様に、CVD法で酸化シリコン膜23を堆積し、次いでCMP法を用いてこの酸化シリコン膜23の表面を平坦化する。

【0138】続いて、酸化シリコン膜23のコンタクト孔を形成し、そして図28に示した第1層目の配線形成工程と同様の材料および形成順序により第2層目の配線M2をパターン形成する。

【0139】(第3層目配線形成工程) 図30に示すように、層間絶縁膜24上にプラグP3を介して第2層目の配線M2に接続される第3層目の配線M3をパターン形成する。

【0140】第3層目の配線M3は、第2層目配線形成工程と同様の順序により形成される。

【0141】(第4層目配線形成工程) 図31に示すように、層間絶縁膜25上にプラグP4を介して第3層目の配線M3に接続される第4層目の配線M4をパターン形成する。

【0142】本実施の形態では第4層目の配線M4が最上層になる。しかし、配線M4は、第2層目配線形成工程と同様の順序により形成される。

【0143】(パッシベーション膜形成工程) 図31に示すように、配線M4の一部 (ボンディングパッド部) を露出するように、パッシベーション膜26、27を形成する。

【0144】下層のパッシベーション膜26は、窒化シリ

(17)

32

コン (TiN) /シリコン酸化膜 (SiO<sub>2</sub>) の積層より成る無機絶縁膜からなる。すなわち、パッシベーション膜26は、珪酸エチルを原料としたテトラ・エチル・オルソ・シリケート (Tetra-Ethyl-Ortho-Silicate) 膜 (厚さ: 800nm) と窒化シリコン膜 (厚さ: 1.3μm (シリコン膜)) とが、プラズマ法により順次形成された積層膜で構成されている。

【0145】パッシベーション膜27はポリイミド系樹脂膜からなり、エポキシ系封止樹脂体に対するバフア膜として形成される。パッシベーション膜26、27に設けられた開口は、第4層目の配線M4のボンディングパッド部を露出し、その露出表面はボンダビリティ向上のために主配線 (AlCu) より成る。

【0146】上述したパッシベーション膜形成工程までのプロセスは、前工程プロセスと呼ばれ、半導体本体が円盤状の半導体ウエハの状態で行われる。しかる後、後工程プロセスとして、以下の工程が行われる。

【0147】半導体ウエハは複数のICペレットを構成する。したがって、半導体ウエハをICペレットに分割するために、まず、ICペレットに適した厚さに半導体ウエハを裏面研削する。そして、半導体ウエハをダイシングすることによりICペレットに分割する。続いて、ICペレットを公知のリードフレームに結合 (ボンディング) する。続いて、リードフレームの外周リードとICペレットの主面に設けられているボンディングパッド (上記配線M4から成るボンディングパッド部) とをワイヤで電気的接続する。ワイヤはAlワイヤもしくはAuワイヤから成る。続いて、ICペレット、ワイヤおよびリードフレームの一部をエポキシ系樹脂により封止する。そして、リードフレームの外枠を切断することにより、図54に示すようなフラッシュメモリ内蔵システムLSIを構成する樹脂封止型半導体集積回路装置が完成する。図54に示した樹脂封止型半導体装置は面実装型パッケージと称されるものである。この面実装型パッケージは、中央にICペレット100が配置され、システムLSIを構成するICペレット100に設けられたボンディングパッドとインナーリード103との間にワイヤ101が電気的に接続されている。そして、ICペレット100、ワイヤ101およびインナーリード103が樹脂封止体104により封止されている。樹脂封止体104の四辺から導出したリード102はアウトリードと称され、ガルウイング構造を成す。図は斜視図のため樹脂封止体二辺から導出したリードを示す。

【0148】本実施の形態1によれば、低耐圧MISおよび高耐圧MISのいずれの高濃度領域表面全体にシリサイド層が形成されているため、その高濃度領域の表面全体を低抵抗化できる。このため、高速化が図れたフラッシュメモリ内蔵システムLSIが得られる。

【0149】本実施の形態1のように一つの半導体本体に互いにデバイス特性の異なるMISFETを得る場

33

合、すなわち低耐圧MIS (PMOS1、NMOS2)と高耐圧MIS (PMOS2、NMOS2)を得る場合において、いずれのMISFETの高濃度領域とシリサイド層とが整合されて形成されるため、マスク枚数を低減でき、低コスト、高歩留りのフラッシュメモリ内蔵システムLSIが得られる。

【0150】本実施の形態1によれば、高耐圧MISの高濃度領域とシリサイド層とが整合されて形成されるため、LDD部(オフセット部)にはシリサイド層が形成されない。このため、接合リークやLDD部表面の電流の不良を懸念する必要なく、高速ロジックに適したMISFETを含むフラッシュメモリ内蔵システムLSIが得られる。

【0151】本実施の形態1によれば、pゲートPMOS、nゲートNMOSより成るディアルゲート構造CMISが得られ、微細化でかつ短チャネル効果を抑制した高性能のフラッシュメモリ内蔵システムLSIが得られる。

【0152】本実施の形態1によれば、多層配線形成にCMP法が採用されているため、微細多層配線が実現でき、高集積化されたフラッシュメモリ内蔵システムLSIが得られる。

【0153】本実施の形態1によれば、低耐圧MISのゲート絶縁膜厚は4.5~5nm程度であり、高耐圧MISのゲート絶縁膜厚18nm程度であり、その形成順序は“(高耐圧MIS部ゲート絶縁膜形成工程)”続いて、“(低耐圧MIS部ゲート絶縁膜形成工程)”の順に行われ、要求仕様に応じた低耐圧MISが容易に得られ、高性能のフラッシュメモリ内蔵システムLSIが得られる。

【0154】本実施の形態1では、高耐圧MISのゲート電極上を高濃度領域を形成する際にレジストマスクで被覆されているため、そのゲート電極上はシリサイドエッチングされない。一般には高耐圧MISの動作には高速ロジック(例えば1.8V駆動MISFETで構成されたロジック回路)ほどの高速性は要求されないため、問題はない。

【0155】本実施の形態1の素子分離領域は、高集積化に適した浅溝分離(Shallow Groove Isolation)技術が採用される。特に、浅溝分離技術は、LOCOS(Local Oxidation of Silicon)技術で形成されるバズビーク(Bird's beak)が存在しないため、素子分離領域の占有面積を低減できる。このため、システムLSIの高集積化が図れる。

・【0156】<実施の形態2>高耐圧MISのゲート遅延を低減した実施の形態を以下に述べる。

【0157】図32に示すように、上記実施の形態1での“(NMOS高濃度領域形成工程)”で適用された第1のマスクPR11に対し、本実施の形態のマスクPR11mは、高耐圧MIS部のゲート電極9上にも開口パターンを有する。このマスクPR11mを用いて、絶縁膜15は選択

(18)

34

的にエッチングされ、第1の絶縁膜15aおよび第2の絶縁膜15cが形成される。この第1、第2の絶縁膜15a、15cが形成された後は上記実施の形態1と同様な方法で高濃度領域16s、16s;17s、17dが形成される。

【0158】続いて、図33に示すように、上記実施の形態1での“(PMOS高濃度領域形成工程)”で適用された第1のマスクPR12に対し、本実施の形態のマスクPR12mは、高耐圧MIS部のゲート電極9上にも開口パターンを有する。このマスクPR12mを用いて、絶縁膜15は選択的にエッチングされ、第3の絶縁膜15dおよび第4の絶縁膜15eが形成される。この第3、第4の絶縁膜15d、15eが形成された後は上記実施の形態1と同様な方法で高濃度領域19s、19s;20s、20dが形成される。

【0159】続いて、図34に示すように、上記実施の形態1と同様な“(シリサイド層形成工程)”が行われる。

【0160】したがって、高耐圧MIS部のPMOS2、NMOS2のそれぞれのゲート電極表面にはシリサイド層21gが形成される。

【0161】本実施の形態2によれば、低耐圧MISおよび高耐圧MISのゲート遅延を低減した次世代(0.18umプロセス)のフラッシュメモリ内蔵システムLSIの実現に有効な技術である。

【0162】<実施の形態3>図2に示したフラッシュメモリ内蔵システムLSIは、高速ロジック部LOGIC、例えば演算回路部(CPU)にキャッシュメモリが搭載される。本実施の形態は、そのキャッシュメモリセルに関する。キャッシュメモリは内部メモリセルとしてSRAMセルにより構成される。

【0163】図35にSRAMセルの回路図を示す。NMOSQnd1、Qnd2は、メモリセルの駆動用MISFETとして機能している。PMOSQpr1、Qpr2は、負荷用MISFETとして機能している。そして、NMOSQt1、Qt2は、データ転送のスイッチMISFETとして機能している。ワード線WLはNMOSQt1、Qt2のゲートに接続されている。また、ビット線BL1、BL2には互いに反転した信号(データ)が伝送される。

【0164】SRAMセルの具体的なレイアウト平面図を図36に示す。同図において、セル上部に、素子分離領域2によって区画されたL型の活性領域が左右対象に配置されている。この両活性領域を横切るX方向に延びるワード線WLが配置され、NMOSQt1、Qt2を構成する。ゲート電極9b1が反転L型の活性領域を横切るY方向に延びて配置され、NMOSQnd1を構成する。ゲート電極9b2がL型の活性領域を横切るようにY方向に延びて配置され、NMOSQnd2を構成する。

【0165】セルの下方に、素子分離領域2によって区画された上下反転U型の活性領域が左右対象に配置されている。ゲート電極9b1と一体化されたゲート電極9a1が前記一方の活性領域を横切るようにY方向に延びて配置

35

され、PMOSQpr1を構成する。ゲート電極9b2と一体化されたゲート電極9a2が前記他方の活性領域を横切るようにY方向に延びて配置され、PMOSQpr2を構成する。

【0166】そして、ゲート電極9a1, 9b1の一部がNMOSQnd2とNMOSQt2との共用半導体領域L1に接続されている。また、ゲート電極9a2, 9b2の一部がPMOSQpr1の半導体領域L2に接続されている。

【0167】上記NMOSQt1, Qt2, Qnd1, Qnd2は、図1に示した低耐圧MIS、すなわちNMOS1のようにLDD構造およびサリサイド構造を構成している。また、上記PMOSQpr1, Qpr2は図1に示した低耐圧MIS、すなわちPMOS1のようにLDD構造およびサリサイド構造を構成している。

【0168】このような構成のメモリセルを一単位として、互いに隣り合うメモリセルはX1-X1線、X2-X2線、Y1-Y1線、Y2-Y2線を中心に線対称配置される。

【0169】図から明らかなように、NMOSQnd1, Qnd2とNMOSQt1, Qt2はpウェル(P-Well)5a内に形成されている。一方、PMOSQpr1, Qpr2はnウェル(N-Well)4a内に形成されている。

【0170】pウェル(P-Well)5a形成はマスクP-maskが用いられ、そのマスクにより覆われていない半導体本体主面に選択的に形成される。

【0171】一方、nウェル(N-Well)4a形成はマスクN-maskが用いられ、そのマスクにより覆われていない半導体本体主面に選択的に形成される。

【0172】前記実施の形態1で説明したPMOSのLDD部形成にはマスクP-maskが、NMOSのLDD部に形成にはマスクN-maskがそれぞれ用いられる。

【0173】図36において、コンタクト孔BL1-CONT, BL2-CONT, Vcc-CONT, Vss-CONT内には、例えば、図28に示したようにプラグP1が埋め込まれている。そして、図35に示したビット線BL1, BL2は、一対の第2層目配線で構成され、それぞれコンタクト孔BL1-CONT, BL2-CONT内のプラグ上に設けられた第1層目配線(導体)から成るパッド層を介して半導体領域(ソースまたはドレイン領域)に電気的接続され、そしてY方向に延びる。

【0174】電源線Vccは、一対の第2層目配線で構成され、それぞれコンタクト孔Vcc-CONT内のプラグ上に設けられた第1層目配線(導体)から成るパッド層を介して半導体領域(ソースまたはドレイン領域)に電気的に接続され、ビット線と同様にY方向に延びる。

【0175】基準電位(接地)線Vssは、第1層目配線で構成され、コンタクト孔Vss-CONTのプラグを介して半導体領域に電気的に接続され、X方向に延びる。

【0176】図36に示す配線M1aは、第1層目配線で構成され、Qpr1の半導体領域(L2)とQnd1の半導体領域とを電気的接続している。また、配線M1bは、第1層目配線で構成され、Qpr2の半導体領域とQn2の半導体領

(19)

36

域(L1)とを電気的接続している。

【0177】ところで、図36に示すように、高濃度領域形成工程で適用されるマスクが、マスクP-maskとマスクN-maskとの関係のようにマスク重なり部44が存在すると、その重なり部下に位置したゲート電極(斜線)上には、図26に示した窒化シリコン膜15Xのように窒化シリコン膜が残る。このため、ゲート電極9a1, 9a2の一部のシリサイドエッチングが阻止され、NMOSQnd1, PMOSQpr1を繋ぐゲート電極9a1, 9b1および、NMOSQnd2, PMOSQpr2を繋ぐゲート電極9a2, 9b2の抵抗がわず

かであるが高くなる。  
【0178】<実施の形態4>図37および図38を参照し、実施の形態4を説明する。本実施の形態は、実施の形態3に比べ、さらに高速動作の対応が可能なキャッシュメモリセルを提供する。すなわち、本実施の形態は上記ゲート電極9a1, 9a2の抵抗を低減するものである。

【0179】図37はマスク配置に工夫がされたSRAMセルのレイアウト平面図を示す。そして、図38はキャッシュメモリ(SRAMセル)の一部を構成するCMOS(PMOS1, NMOS1)と高耐圧MIS部のCMOS(PMOS2, NMOS2)が一つの半導体本体1に形成された半導体集積回路装置の断面図である。図37に示すPNMOSQnd2とPMOSQpr2は、図38に示すPMOS1とNMOS1にそれぞれ対応する。すなわち、図38に示すキャッシュメモリ部の断面図は、図37に示すA-A'線の切断断面図である。

【0180】本実施の形態によれば、図37に示すように、マスクP-maskとマスクN-maskとの重なりが回避されている。このようなマスクを用いて高濃度領域形成のための絶縁膜(窒化シリコン膜15)をパターン形成する。したがって、マスクP-maskとマスクN-maskとの境界部46は2度エッチングされることになり、ゲート電極9a1, 9b1およびゲート電極9a2, 9b2表面全体のシリサイドエッチングが可能となる。すなわち、ゲート電極9a1, 9b1およびゲート電極9a2, 9b2表面全体にシリサイド層が形成されるので、それらゲート電極の低抵抗化が図れる。

【0181】なお、境界部46内において、ゲート電極の存在しない部分は素子分離領域の酸化膜が窒化シリコン膜15のエッチングにより削られるため、図38に示すように溝部2gが形成される。しかしながら、この溝部2gは層間絶縁膜(たとえば、実施の形態1における層間絶縁膜22により埋め込まれるため、MISFETの特性、配線形成への影響はない。よって、本実施の形態4によれば、高速動作の対応が可能なキャッシュメモリセルが実現でき、高性能のフラッシュメモリ内蔵システムLSIが得られる。

【0182】<実施の形態5>本実施の形態5では、DRAMと高速動作可能な論理演算回路(高速ロジック回路)と、その周辺回路とを同一半導体チップ内に設けた半導体集積回路装置に適用した場合について説明する。

37

【0183】図39はDRAMと高速動作可能な論理演算回路(高速ロジック回路)と、その周辺回路とがワンチップ上に搭載されたシステムオンチップ(以下、DRAM内蔵システムLSIと称す。)のブロック図の一例を簡単に示している。

【0184】DRAM内蔵システムLSI(半導体チップ1)は、CMOS素子を基本デバイスとして、DRAMメモリアレイDMAY、センスアンプSA、制御回路CONTから成るDRAM部、高速論理演算を行う高速ロジック回路部LOGIC(例えば、プロセッサCPUやASIC:Application Specific Integration)、そしてバッファ機能の入出制御部I/Oで構成されている。

【0185】高速ロジック回路部LOGICは、キャッシュメモリ(キャッシュSRAM)を内蔵しており、例えば1.8V駆動CMOSで構成される。入出制御部I/Oは3.3V駆動CMOSで構成される。

【0186】次に、図40～図53を参照し、DRAM内蔵システムLSIの形成方法を説明する。

【0187】(ゲート電極形成工程)図40は、半導体本体1主面のDRAMセル部および高速ロジック部にそれぞれゲート電極が形成されたDRAM内蔵システムLSIの製造過程を示す断面図である。本実施の形態5でのウェル形成工程までの基本的なプロセスは、前記実施の形態1と同様であるため省略した。すなわち、図40に示す各ウェル形成順序は前記実施の形態1が参照される。

【0188】図40に示す高速ロジック部のゲート電極9aおよびDRAMセル部のゲート電極9wの形成順序を、同図を参照して、以下に説明する。

【0189】まず、半導体本体1主面全体に、高速ロジック部のCMOSのためのゲート絶縁膜としてシリコン酸化膜(厚さ:4.5nm)を熱酸化により形成する。次に、シリコン酸化膜上に第1の多結晶シリコン層9aをCVD法により堆積する。次に、第1の多結晶シリコン層9aを、ホトリソグラフィ技術によりDRAMセル部はエッチング除去し、高速ロジック部は主面全体に残すようにパターンニングする。DRAMセル部のシリコン酸化膜もエッチング除去され、Pウェル5a表面が露出される。

【0190】続いて、DRAMセル部のPウェル5a表面に、熱酸化によりゲート絶縁膜としてシリコン酸化膜(厚さ:10nm以下、好ましくは8nm)を形成する。この時、高速ロジック部の多結晶シリコン層9a表面も酸化され、層間絶縁膜としてのシリコン酸化膜がその表面に形成される。次に、半導体本体1主面全体に、第2の多結晶シリコン層とその第2の多結晶シリコン層表面に接する金属シリサイド層(例えば、タンゲステンシリサイド層WSi)との積層構造から成るポリサイド層9wを形成する。さらに、このポリサイド層表面を覆うように、SiNより成るキャップ層(厚さ:60～100nm)を形成する。

(20)

38

【0191】続いて、ポリサイド層をパターンニングし、DRAMセル部のゲート電極(ワード線)9wを形成する。この時、高速ロジック部におけるポリサイド層はエッチングされ、第1の多結晶シリコン層表面に形成されているシリコン酸化膜(層間絶縁膜)はエッチングストップとして作用する。このため、第1の多結晶シリコン層はエッチングされない。

【0192】そしてこの後、第1の多結晶シリコン層をパターンニングし、高速ロジック部のゲート電極9a、9bを形成する。

【0193】本実施の形態によれば、DRAMセル部のワード線はポリサイド層により低抵抗化を図っている。そして、高速ロジック部の第1の多結晶シリコン層は、DRAMセル部のポリサイド層よりも先行して堆積される。その理由は、DRAMセル部のゲート絶縁膜形成と同時に第1の多結晶シリコン層表面に層間絶縁膜(エッチングストップ)を形成し、デバイスプロセスの簡略化を図るためである。したがって、DRAMセル部のワード線(ゲート電極)パターン加工は高速ロジック部のゲート電極パターン加工に先行して行われる。

【0194】(低濃度領域形成工程)続いて、図41に示すように、ゲート電極9w、9a、9bによって自己整合された低濃度領域(LDD部)12s、12d;13s、13d;16s、16dを形成する。NMOSおよびPMOSの低濃度領域形成工程はそれぞれ、前記実施の形態1で説明した方法と同様に、ホトレジストマスク(PR9、PR10)を用いてイオン打ち込みにより達成される。

【0195】(絶縁膜形成工程)図42に示すように、LDD部が形成されたDRAMセル部、高速ロジック部主面上に高濃度領域を規定するための絶縁膜15を形成する。絶縁膜15は、窒化シリコン膜(膜厚:100nm)から成り、公知のプラズマCVD法により形成される。

【0196】(DRAMセル部コンタクト形成)図43に示すように、層間絶縁膜(第1の層間絶縁膜)23を形成した後、フォトリソパターンPR100をマスクとして、層間絶縁膜23にコンタクト孔THを形成する。

【0197】同図において、まず、層間絶縁膜としてCVD法でシリコン酸化(SiO<sub>2</sub>)膜23を堆積し、次いでCMP法を用いてSiO<sub>2</sub>膜23の表面を平坦化する。SiO<sub>2</sub>膜23の膜厚は、CMP法による平坦化を考慮して、適宜、設定される。層間絶縁膜23は、より具体的には珪酸エチルを原料としたテトラ・エチル・オルソ・シリケート(Tetra-Ethyl-Ortho-Silicate)膜から成る。この膜はプラズマCVD法により堆積される。

【0198】また、層間絶縁膜23は、デバイス特性の安定化のため、ホスホシリケートガラス(PSG)とテトラ・エチル・オルソ・シリケート膜とが順次、堆積された積層膜が選択される。

【0199】続いて、LDD部12s、12d表面を露出するコンタクト孔THを形成する。このコンタクト孔THの形成

39

は、フォトリソグラフィ技術により行われる。コンタクト孔THはゲート電極9w上に位置されて形成された。すなわち、コンタクト孔THの加工寸法は厳密なものではなく、コンタクト孔THの開口幅は、ゲート電極間の幅より大きく形成できる。その理由を以下に説明する。

【0200】まず、層間絶縁膜23がドライエッチング加工される。引き続いて、エッチングガスを変え、窒化シリコン膜15をドライエッチング（異方性エッチング）し、コンタクト孔THを形成する。この時、ポリサイド層9w上にはキャップ層が存在しているため、窒化シリコン膜15のエッチングの際のポリサイド層9wは露出しない。すなわち、ここでの工程では自己整合によるコンタクト孔THの形成がなされる。

【0201】（ビット線形成）図44に示すように、コンタクト孔THに埋め込まれたプラグP1を介してビット線BLを形成する。

【0202】まず、コンタクト孔THを埋め込むように、N型不純物を含んだ多結晶シリコン層（ドープドポリシリコン）を堆積した後、その多結晶シリコン層全体をエッチングする処理、いわゆるエッチバック処理により、プラグP1を形成する。このプラグP1形成はCMP法の適用も可能である。むしろ、過剰エッチングによるプラグP1の落ち込みをなくすためにCMP法の適用が推奨される。

【0203】続いて、層間絶縁膜23上部にビット線BLを形成する。ビット線BLは、層間絶縁膜23上部にスパッタリング法でTiN膜とW膜とを堆積し、次いでW膜の上部にCVD法で窒化シリコン膜（図示せず）を堆積した後、フォトリソパターンをマスクにしたエッチングでこれらの膜をパターニングして形成する。

【0204】（DRAMセル部キャパシタ形成工程）まず、図45に示すように、層間絶縁膜（第2の層間絶縁膜）24としてCVD法でシリコン酸化膜を堆積し、次いでCMP法を用いてこのシリコン酸化膜24の表面を平坦化する。シリコン酸化膜24の膜厚は、CMP法による平坦化を考慮して、適宜、設定される。層間絶縁膜24は、層間絶縁膜23と同様に、珪酸エチルを原料としたテトラ・エチル・オルソ・シリケート（Tetra-Ethyl-Ortho-Silicate）膜から成る。

【0205】続いて、フォトリソパターンPR101をマスクとして、キャパシタが接続されるプラグP1の表面を露出させるようにエッチングにより層間絶縁膜24に開口24hを設ける。

【0206】続いて、図46に示すように、開口24hの側壁に沿って下部電極（蓄積電極）30を形成する。蓄積電極30は、CVD法またはスパッタリング法でW膜を堆積し、フォトリソパターンをマスクにしたエッチングでパターニングすることにより形成する。次に、下部電極30の露出する表面にキャパシタ用絶縁膜（誘電体

40

膜）31を形成する。

【0207】このキャパシタ用絶縁膜31は、例えば、比較的誘電率の高い酸化タンタル( $Ta_2O_5$ )より成る。酸化タンタル膜31は、厚さ約20nmの非晶質の酸化タンタルをCVD法によって堆積した後、熱酸化処理を施すことにより、その酸化タンタルを結晶化することにより形成される。そして、キャパシタ用絶縁膜上部（プレート）電極31を形成を形成する。この上部（プレート）電極31はスパッタリング法で形成されたTiN膜より成る。

【0208】なお、キャパシタ用絶縁膜に酸化タンタル膜を用いたが、その他の金属酸化膜、たとえば(Ba, Sr)TiO<sub>3</sub>膜またはPb(Zr, Ti)O<sub>3</sub>膜などの高誘電体膜を用いてもよい。また、上記プレート電極を構成する膜にTiN膜を用いたが、タングステンナイトライド(WN)膜やタングステン(W)膜などから選択された高融点金属膜を用いることができる。さらに、上記プレート電極は不純物を含む多結晶シリコン膜であってもよい。多結晶シリコン膜が適用される場合は、後で述べるシリサイド層形成工程で、その多結晶シリコン膜の表面にもシリサイドーションを行い、プレート電極の低抵抗化を図ることができる。

【0209】（PMOSゲート電極サイドウォールスペーサ形成工程）図47に示すように、フォトリソパターンPR102をマスクに用いて、層間絶縁膜23、24（シリコン酸化膜）を選択的にエッチングする。この層間絶縁膜のエッチングは、下地の窒化シリコン膜15をエッチングすることなく、その窒化シリコン膜表面で止まる。

【0210】続いて、図48に示すように、露出した窒化シリコン膜15を反応性イオンエッチング（異方性エッチング）手段によりPMOSゲート電極9aの側壁にサイドウォールスペーサ15dを形成する。

【0211】（PMOS高濃度領域形成工程）続いて、図48に示すように、サイドウォールスペーサ15dによって整合された高濃度領域19s、19dを形成する。すなわち、サイドウォールスペーサ15dによって規定されるようにnウェル4a内にそれぞれp型不純物、例えばボロン(B)をイオン打込みにより導入する。イオン打込みは、例えば加速エネルギー10keV、ドーズ量 $3 \times 10^{15}$  atoms/cm<sup>2</sup>程度の条件で行われる。そして、このイオン打込みにより、ゲート電極9aにも不純物が導入され、pゲート（p導電型ゲート電極）PMOSが得られる。

【0212】（NMOSゲート電極サイドウォールスペーサ形成工程）まず、図49に示すように、フォトリソパターンPR103をマスクとして、層間絶縁膜23、24（シリコン酸化膜）を選択的にエッチングする。この層間絶縁膜のエッチングは、下地の窒化シリコン膜15をエッチングすることなく、その窒化シリコン膜表面で止まる。

【0213】続いて、図50に示すように、露出した窒化シリコン膜15を反応性イオンエッチング（異方性エッ



(22)

41

チング) 手段によりNMOSゲート電極9aの側壁にサイドウォールスペーサ15dを形成する。

【0214】(NMOS高濃度領域形成工程) 続いて、図50に示すように、サイドウォールスペーサ15dによって規定された高濃度領域16s, 16dを形成する。

【0215】すなわち、サイドウォールスペーサ15dによって規定されるようにpウェル内にそれぞれn型不純物、例えばヒ素(As)をイオン打込みにより導入する。イオン打込みは、例えば加速エネルギー60keV、ドーズ量 $3 \times 10^{15}$  atoms/cm<sup>2</sup>程度の条件で行われる。そして、このイオン打込みにより、ゲート電極9b, 9eのそれぞれにも不純物が導入され、nゲート(n導電型ゲート電極) NMOSが得られる。

【0216】(シリサイド層形成工程) 図51に示すように、高速ロジック部(NMOSおよびPMOS)のゲート電極および高濃度領域表面に金属・半導体反応層(シリサイド層)を形成する。具体的にはコバルトシリサイド層が前記実施の形態1と同様のシリサイドエッチング技術により形成される。図示していないが、シリサイドエッチングに先立ってコバルトを堆積する場合、プレート電極32表面には、シリコン酸化膜等の絶縁膜で保護される。この結果、NMOSのコバルトシリサイド層は高濃度領域形成のサイドウォールスペーサ15aによって整合されて形成される。一方、PMOSのコバルトシリサイド層は高濃度領域形成のサイドウォールスペーサ15aによって整合されて形成される。

【0217】先に述べたように、プレート電極として多結晶シリコン膜が採用されるならば、そのプレート電極表面は絶縁膜による保護は必要としない。この場合、プレート電極32の表面にもコバルトが堆積される。そして、上記ゲート電極および高濃度領域表面にコバルトシリサイド層を形成すると同時に、上記プレート電極32表面にコバルトシリサイド層を形成することができる。

【0218】(第1層目配線形成工程) 図52において、まず、シリサイドエッチングが完了した半導体本体1主面上に層間絶縁膜(第3の層間絶縁膜) 28を堆積する。この層間絶縁膜28は、スピン塗布法によって高速ロジック部を埋め込むように塗布されたスピノングラス膜と、このスピノングラス膜上にCVD法により堆積された酸化シリコン膜とから成る積層膜で構成される。この層間絶縁膜28の平坦化のために、化学機械研磨(CMP)法やエッチバック法が適用される。

【0219】続いて、高濃度領域表面に形成されたシリサイド層(コバルトシリサイド層21d)表面を露出するコンタクト孔THを形成する。このコンタクト孔THの形成は、フォトリソパターンをマスクとしたドライエッチング加工により達成される。

【0220】続いて、コンタクト孔THを埋め込むようにプラグP1を形成する。このプラグP1はタングステンプラグより成り、以下の順序で形成される。まず、タングス

42

テンと下地シリサイド層との反応を防ぐための反応防止膜として、窒化チタン(TiN)をスパッタリングにより薄く堆積する。続いて、この窒化チタン膜上にタングステン(W)をコンタクト孔を埋め込むように堆積する。そして、堆積したタングステン(W)および窒化チタン(TiN)全体をエッチングする方法(エッチバック)により、プラグP1をコンタクト孔TH内に残す。

【0221】続いて、金属層を堆積し、フォトリソパターンをマスクとした周知技術の方法により、第1層目配線を形成する。配線となる金属層は、実施の形態1と同様に、例えばTiN/Ti/AlCu/TiN(最上層/上層/主配線層/下層)で構成される。すなわち、第1層目配線は、下から順にSiO<sub>2</sub>膜(層間絶縁膜)との接着性およびWプラグとの接触抵抗を低減するためのTi(厚さ: 10nm)、Alを主要配線材料としたAl-0.5%Cu(厚さ: 500nm)、AlCuとTiNとの間の接着性を良好にするためのTi(厚さ: 10nm)そして反射防止膜としてのTiN(厚さ: 75nm)を順にスパッタ法で形成した積層配線より成る。

【0222】(第2層目配線形成工程) 図52において、まず、第1層目配線を覆うように層間絶縁膜(第4の層間絶縁膜) 29を堆積する。層間絶縁膜29はCVD法により堆積したシリコン酸化膜23から成る。次いで、CMP法を用いて層間絶縁膜29の表面を平坦化する。

【0223】続いて、第1層目配線M1の一部が露出するように、シリコン酸化膜29にコンタクト孔THを形成する。そして、金属層を堆積し、フォトリソパターンをマスクとした周知技術の方法により、第2層目配線M2を形成する。配線となる金属層は、第1層目配線と同様に、例えばTiN/Ti/AlCu/TiN(最上層/上層/主配線層/下層)で構成される。図示したように、層間絶縁膜29はCMP法により平坦化されているため、例えば、第2層目配線M2により、DRAMセル部(DRAMメモリアレー)上に延ばし、回路ブロック間の相互接続も可能となる。したがって、半導体チップ内における回路ブロック配置の自由度が増すため、高速動作に適したDRAM内蔵システムLSIが得られる。なお、回路ブロックとは、図39に示したDRAMメモリアレー(DMA)、入出力制御部(I/O)、高速ロジック回路部(LOGIC)等を言う。

【0224】第2層目配線M2が最終配線であるならば、実施の形態1の”パシベーション膜形成工程”で説明した手段により、第2層目配線M2はパシベーション膜により保護される。また、必要に応じて、第2層目配線M2上に層間絶縁膜および配線を順次形成することにより、3層配線、4層配線あるいは5層配線構造のDRAM内蔵システムLSIが得られる。

【0225】本実施の形態5によれば、高速ロジック部のNMOS、PMOSのいずれの高濃度領域表面全体にシリサイド層が形成されているため、その高濃度領域の表面全体を低抵抗化できる。このため、高速化が図れたDRAM内蔵システムLSIが得られる。

43

【0226】また、高速ロジック部のNMOS、PMOSのいずれの高濃度領域とシリサイド層とが整合されて形成されるため、マスク枚数を低減でき、低コスト、高歩留りのDRAM内蔵システムLSIが得られる。

【0227】また、pゲートPMOS、nゲートNMOSより成るディアルゲート構造CMISが得られ、微細化でかつ短チャネル効果を抑制した高性能のDRAM内蔵システムLSIが得られる。

【0228】さらに、DRAMセル部はポリサイドゲート構造で、高速ロジック部はシリサイドゲート構造のCMOSで構成されているため、高速化と低消費電力を同時解決し、高集積化されたDRAM内蔵システムLSIが得られる。

【0229】上記の各実施の形態において、PMOS及びNMOSのゲート絶縁膜は、酸化膜（具体的にはシリコン酸化膜）よりなる単層膜の他に、デバイス特性の向上や信頼性のニーズに応じて、窒化膜（具体的にはシリコンナイトライド）と酸化膜との積層膜、あるいは酸窒化膜（オキシナイトライド）と称した複合膜、そしてさらには窒化膜よりなる単層膜などの選択が可能である。

【0230】＜実施の形態6＞実施の形態1で述べたフラッシュメモリ内蔵システムLSIの製造方法は、以下の変形例が考えられる。本実施の形態6を図20のPMOSのLDD部形成工程に続いて説明する。

【0231】（絶縁膜形成工程）図55に示すように、LDD部が形成された低耐圧MIS部、高耐圧MIS部およびメモセル部主面上にそれぞれのMISFETにおける高不純物濃度領域を規定するためのマスクとなる絶縁膜15を形成する。絶縁膜15は、プラズマ処理によって形成された窒化シリコン膜より成る。この絶縁膜15は、低圧CVD法（生成温度：約740℃）により形成した、厚さ150nm程度のSiO<sub>2</sub>膜からなる。

【0232】（サイドウォール形成工程）図56に示すように、絶縁膜15をエッチバックすることによりサイドウォール15a、15b、15c、15d、15eを形成する。図から明らかなように、NMOS、PMOSのサイドウォールは同一工程でエッチバックすることにより形成されることになる。絶縁膜15のオーバーエッチングにより、キャップ層100a、100bはほとんど除去されてしまうこともあるが、問題にはならない。

【0233】（絶縁膜形成工程）図57に示すように、サイドウォール15a、15b、15c、15d、15eが形成された基板主面に、再度、絶縁膜115をデポジションする。この絶縁膜115は、低圧CVD法（生成温度：約740℃）により形成した、厚さ20nm程度のSiO<sub>2</sub>膜（シリコン酸化膜）からなる。

【0234】（NMOS高濃度領域形成工程）図58に示すように、フォトレジストパターンPR11をマスク（以下、第1のパターンマスクと言う）として、SiO<sub>2</sub>膜115を選択除去する。

(23)

44

【0235】第1のパターンマスクPR11の開口部は、低耐圧MIS部のNMOS形成領域では、その開口端部が素子分離領域2上に位置して、余裕度を持った開口パターンで構成されている。

【0236】一方、高耐圧MIS部のNMOS形成領域では、オフセット構造の高耐圧MISを得るために、第1のパターンマスクPR11の開口端部はゲート電極9d端部よりオフセットされている。

【0237】この第1のパターンマスクPR11を用いてSiO<sub>2</sub>膜（シリコン酸化膜）115に対しエッチングを行う。この結果、ゲート電極9b、9e上部は除去され、そのゲート電極9b、9eの側壁にサイドウォール膜15a、15b（第1の絶縁膜）が残る。一方、ゲート電極9dの側壁には第1のパターンマスクPR11によってSiO<sub>2</sub>膜115が選択エッチングされ、SiO<sub>2</sub>膜115c（第2の絶縁膜）がパターン形成される。

【0238】続いて、SiO<sub>2</sub>膜15a、15b（第1の絶縁膜）とSiO<sub>2</sub>膜115c（第2の絶縁膜）によって規定されるようにpウェル5a、5b、5c内にそれぞれn型不純物、例えばヒ素（As）をイオン打込みにより導入する。このイオン打込みは、例えば加速エネルギー60keV、ドーズ量3×10<sup>15</sup> atoms/cm<sup>2</sup>の条件で行われる。そして、このイオン打込みにより、ゲート電極9b、9eのそれぞれにも不純物が導入される。すなわち、nゲート（n導電型ゲート電極）NMOSが得られる。

【0239】（PMOS高濃度領域形成工程）第1のマスクPR11を除去した後、図59に示すように、フォトレジストパターンPR12をマスク（以下、第2のパターンマスクと言う）として、SiO<sub>2</sub>膜115を選択除去する。

【0240】第2のマスクPR12の開口部は、低耐圧MIS部のPMOS形成領域では、その開口端部が素子分離領域2上に位置して、余裕度を持った開口パターンで構成されている。一方、高耐圧MIS部のPMOS形成領域では、オフセット構造の高耐圧MIS構造を得るために、第2のパターンマスクPR12の開口端部はゲート電極9a端部よりオフセットされている。

【0241】第2のパターンマスクPR12を用いてSiO<sub>2</sub>膜115に対し異方性エッチングを行うことにより、ゲート電極9a上部は除去され、そのゲート電極9aの側壁にサイドウォール膜15d（第3の絶縁膜）が残る。一方、ゲート電極9cの側壁には第2のパターンマスクPR11によってSiO<sub>2</sub>膜115が選択エッチングされ、SiO<sub>2</sub>膜115e（第4の絶縁膜）がパターン形成される。

【0242】続いて、このSiO<sub>2</sub>膜15d（第3の絶縁膜）とSiO<sub>2</sub>膜115e（第4の絶縁膜）によって規定されるようにnウェル4a、4b内にそれぞれp型不純物、例えばボロン（B）をイオン打込みにより導入する。このイオン打込みは、例えば加速エネルギー10keV、ドーズ量3×10<sup>15</sup> /cm<sup>2</sup>の条件で行われる。そして、このイオン打込みにより、ゲート電極9aにも不純物が導入される。すなわち、

(24)

45

pゲート(p導電型ゲート電極)PMOSが得られる。

【0243】(シリサイド層形成工程)図60に示したように、金属・半導体反応層21s, 21d, 21gを形成する。

【0244】続いて、低抵抗化のためのシリサイドーションに適した金属(高融点金属)を半導体本体1主面上に堆積する。この金属としてはコバルト(Co)が用いられ、スパッタリングにより厚さ7~10nm程度堆積される。コバルト以外には、チタン(Ti)が選ばれる。

【0245】コバルトを堆積した後、窒素雰囲気中で500℃、1分程度のアニール処理を行う。この処理によりゲート電極(9a, 9b, 9e)表面および高濃度領域(19s, 19d; 16s16d, 20s, 20d; 17s, 17d; 18s, 18d)のそれぞれの表面はシリサイドーションがなされる。そして、窒化シリコン15および素子分離領域2上の未反応のコバルトをエッチングにより除去した後、再度、窒素雰囲気中で700℃、1分程度のアニール処理を行う。この結果、コバルトシリサイド(CoSi<sub>2</sub>)より成る金属・半導体反応層が形成される。コバルトシリサイド層21s, 21d, 21gは、露出する半導体(ゲート電極および高濃度領域)表面のみに自己整合形成される。すなわち、低耐圧MIS部にはサイドウォール(第1、第3の絶縁膜)15a, 15dによって整合された高濃度領域にシリサイド層(コバルトシリサイド層21s, 21d, 21g)が形成される。また、高耐圧MIS部にはマスクパターン形成の絶縁膜(第2、第4の絶縁膜)15c, 15eによって整合された高濃度領域にシリサイド層(コバルトシリサイド層21s, 21d, 21g)が形成される。つまり、シリサイド層は低濃度領域(LDD部)には形成されることなく、高濃度領域(配線コンタクト領域)表面全体に形成される。

【0246】そして、シリサイド形成工程の後には、前記実施の態様1で述べたコンタクト形成工程(図27)に続く。

【0247】本実施の態様6によれば、NMOS、PMOSのサイドウォールは同時にエッチバックすることにより形成されるため、NMOS、PMOSサイドウォール長のずれがなくなる。すなわち、NMOS、PMOSサイドウォール長は等しい。

【0248】また、本実施の形態6によれば、サイドウォールスペーサはCVD SiO<sub>2</sub>膜15, 115よりなり、窒化シリコンのサイドウォールスペーサによる電子トラップの影響がなくなる。

【0249】<実施の形態7>前記実施の形態6では高耐圧MISのオフセット部はソース及びドレイン領域の両方に形成されたが、そのオフセット部は片側(特に高耐圧がかかるドレイン側)のみ形成した高耐圧MISでもよい。システムLSIの中には、両方の領域にオフセット部を有する高耐圧MISと、片方の領域にオフセット部を有する高耐圧MISとが共存する。

【0250】図61に本実施の形態7のドレイン領域にオフセット部を有する高耐圧MISの断面構造を示す。

46

図はNMOSを示しているが、PMOSも同様な構造が適用される。

【0251】このような片側オフセット高耐圧MISは、図62に示したパターンマスクPR12により高濃度領域が形成される。

【0252】以上、本発明の実施の形態を詳しく述べた。これらの実施の形態から導き出される本発明の具体的な特徴事項を以下に列挙する。

【0253】(1)実施の形態3で述べたように、本発明はCMOS構成のフリップフロップ型SRAMセルを内蔵する半導体集積回路装置であって、SRAMセルは一对の負荷PMOS、一对の駆動NMOSおよび一对の転送NMOSとで構成され、上記PMOS、一对の駆動NMOSおよび一对の転送NMOSはシリサイド電極構造から成ることを特徴とする。本構成はキャッシュメモリに適した6MOSタイプのSRAMセルである。

【0254】(2)前記一对の負荷PMOSのゲート電極は、P型不純物を含む多結晶シリコン層と、該多結晶シリコン層表面に形成された金属シリサイド層とから成り、前記一对の駆動NMOSおよび一对の転送MOSのそれぞれのゲート電極は、N型不純物を含む多結晶シリコン層と、該多結晶シリコン層表面に形成された金属シリサイド層とから成ることを特徴とする。

【0255】(3)実施の形態3で述べたように、本発明は半導体基体内に、高耐圧用の第1の絶縁ゲート電界効果型トランジスタと低耐圧用の第2の絶縁ゲート電界効果型トランジスタとが形成された半導体集積回路装置であって、前記第1のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に絶縁膜が被覆され、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が形成され、前記第2のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に金属シリサイド層が形成され、かつ前記ゲート電極の側壁には絶縁材料からなるサイドウォール層が形成され、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が前記サイドウォール層により整合形成されていることを特徴とする。

【0256】(4)前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする。

【0257】(5)実施の形態6で述べたように、前記サイドウォール層はシリコン酸化膜より成ることを特徴とする。

【0258】(6)実施の形態1で述べたように、本発明は半導体基体内に、高耐圧用の第1の絶縁ゲート電界効果型トランジスタと低耐圧用の第2の絶縁ゲート電界効果型トランジスタとが形成された半導体集積回路装置であって、前記第1のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層の上面部

47

および側面部に絶縁膜が被覆され、前記第1のトランジスタのソース及びドレイン領域それぞれは高濃度領域と低濃度領域とから成り、前記絶縁膜には前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面上に開口部が設けられ、前記開口部内の前記高濃度領域表面に金属シリサイド層が形成され、前記第2のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に金属シリサイド層が形成され、かつ前記ゲート電極の側壁には絶縁材料からなるサイドウォール層が形成され、前記第1のトランジスタのソース及びドレイン領域それぞれは高濃度領域と低濃度領域とから成り、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が前記サイドウォール層により整合形成されていることを特徴とする。

【0259】(7) 実施の形態1で述べたように、本発明は、半導体基板に第1導電型チャネルを構成する第1の絶縁ゲート電界効果トランジスタと第2導電型チャネルを構成する第2の絶縁ゲート電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、前記第1のトランジスタのゲート電極に第1のサイドウォール層を形成する工程と、前記第2のトランジスタのゲート電極に第2のサイドウォール層を形成する工程と、前記第1のトランジスタのソースおよびドレイン領域表面に第1のサイドウォール層に整合して金属シリサイド層を形成する工程と、前記第2のトランジスタのソースおよびドレイン領域表面に第2のサイドウォール層に整合して金属シリサイド層を形成する工程と、から成ることを特徴とする。

【0260】(8) 実施の形態1で述べたように、本発明は、第1、第2のサイドウォール層は、それぞれ別工程で形成し、第1のトランジスタのソースおよびドレイン領域表面に第1のサイドウォール層に整合して金属シリサイド層を、前記第2のトランジスタのソースおよびドレイン領域表面に第2のサイドウォール層に整合して金属シリサイド層を同一工程で形成することを特徴とする。

【0261】(9) 実施の形態6で述べたように、本発明は、第1、第2のサイドウォール層は、それぞれ同一工程で形成し、第1のトランジスタのソースおよびドレイン領域表面に第1のサイドウォール層に整合して金属シリサイド層を、前記第2のトランジスタのソースおよびドレイン領域表面に第2のサイドウォール層に整合して金属シリサイド層を同一工程で形成することを特徴とする。

【0262】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0263】(1) 本発明によれば、第1MISFET

(25)

48

の第2領域（高濃度領域）と金属半導体反応層とが第1の絶縁膜に整合され、また第2MISFETの第4領域（高濃度領域）と金属半導体反応層とが第2の絶縁膜にそれぞれ整合されており、また第2、第4領域の電極引き出し部は金属・半導体反応膜により低抵抗化されている。このため、微細化され、高速動作が可能なMISFETを内蔵する半導体集積回路装置が得られる。

【0264】特に、上記第1ゲート電極の側壁に形成された第1の絶縁膜と、上記第2ゲート電極の側壁に形成された第2の絶縁膜とはゲート長方向における幅を異ならせたことにより互いにデバイス特性の異なるMISFETが得られる。具体的には、第2の絶縁膜の幅を上記第1の絶縁膜の幅よりも大きくしたことにより、第2半導体（第2ウェル）と第1領域とで構成されたPN接合端から金属・半導体反応層までの距離が第1半導体（第1ウェル）と第2領域とで構成されたPN接合端から金属・半導体反応層までの距離に比較して大きい。このため、第3領域内での空乏層の伸びを充分確保でき、第1MISFETよりも耐圧の高い第2MISFET、すなわち高電圧駆動が可能なMISFETが得られる。

【0265】したがって、微細化され、高速動作が可能で、かつ高電圧駆動が可能なMISFETを内蔵する半導体集積回路装置が得られる。

【0266】(2) 本発明によれば、第2領域とその表面の金属・半導体層とは第1の絶縁膜によって、第4領域とその表面の金属・半導体層とは第2の絶縁膜によってそれぞれ自己整合形成されるため、マスク枚数の低減が図れる。したがって、マスクそのものの製作コストの低減のみならず、マスクを用いたフォトリソパターン形成のためのフォトリソの塗布、感光、現像および洗浄・乾燥の一連の処理を削減することができ、半導体集積回路装置のプロセスコストを大幅に低減できる。また、異物による不良発生率を低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置に構成された回路ブロック図である。

【図3】本発明の一実施の形態である半導体集積回路装置の要部の平面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造工程における要部断面図である。

【図5】図4に続く半導体集積回路装置の製造工程における要部断面図である。

【図6】図5に続く半導体集積回路装置の製造工程における要部断面図である。

【図7】図6に続く半導体集積回路装置の製造工程における要部断面図である。



(27)

51

中における要部断面図である。

【図59】図58に続く半導体集積回路装置の製造工程中における要部断面図である。

【図60】図59に続く半導体集積回路装置の製造工程中における要部断面図である。

【図61】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図62】図61に示した半導体集積回路装置の製造工程中における要部断面図である。

【符号の説明】

1・・・半導体本体(基板)

2・・・素子分離領域 3・・・埋込みnウエル 4a, 4b・・・nウエル

5a, 5b, 5c・・・pウエル

52

6a, 6b, 6c・・・ゲート絶縁膜

9a, 9b, 9c, 9d, 9e, 9w・・・ゲート電極

10s, 10d・・・低濃度領域(n-)

11s, 11d・・・低濃度領域(n-)

12s, 12d・・・低濃度領域(n-)

13s, 13d・・・低濃度領域(p-)

14s, 14d・・・低濃度領域(p-)

15a, 15b, 15c, 1d, 15e, 115, 115e・・・絶縁膜(マスク)

16s, 16d・・・高濃度領域(n+)

17s, 17d・・・高濃度領域(n+)

18s, 18d・・・高濃度領域(n+)

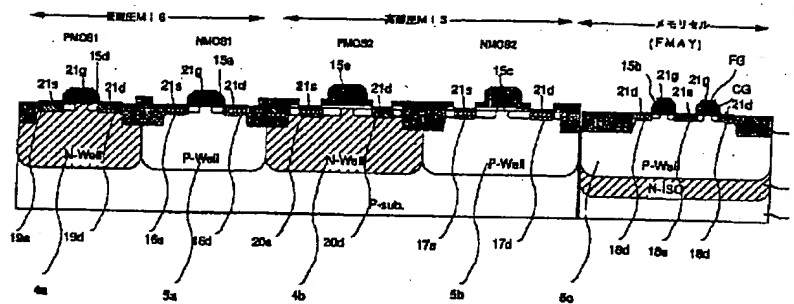
19s, 19d・・・高濃度領域(p+)

20s, 20d・・・高濃度領域(p+)

21, 21s, 21d, 21g・・・シリサイド層。

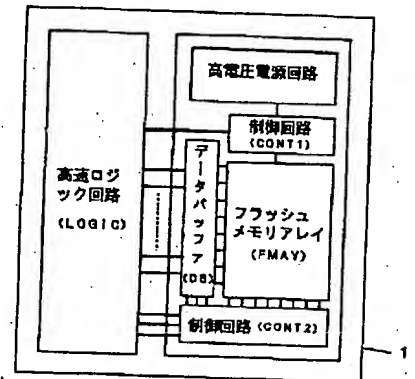
【図1】

図 1



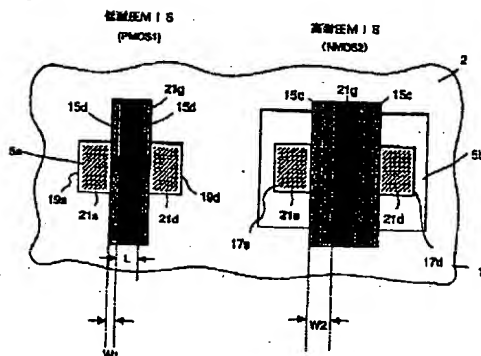
【図2】

図 2



【図3】

図 3

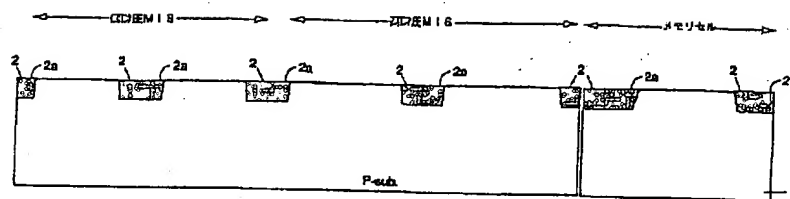




(28)

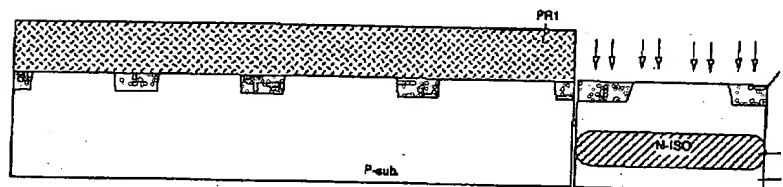
【図4】

図4



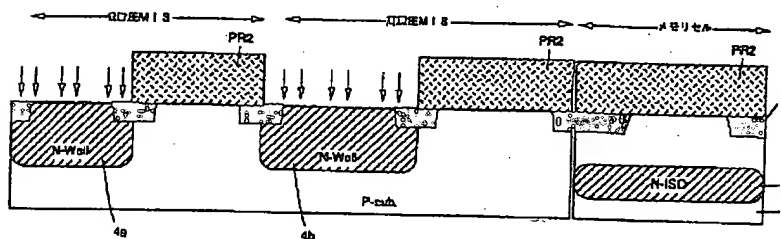
【図5】

図5



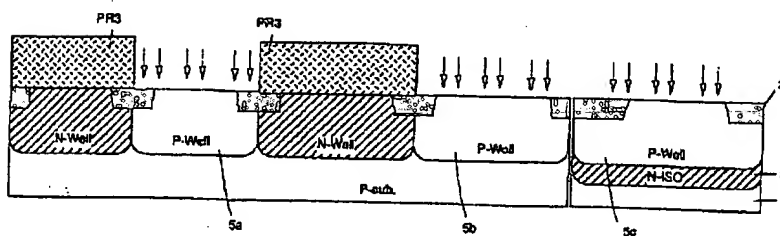
【図6】

図6



【図7】

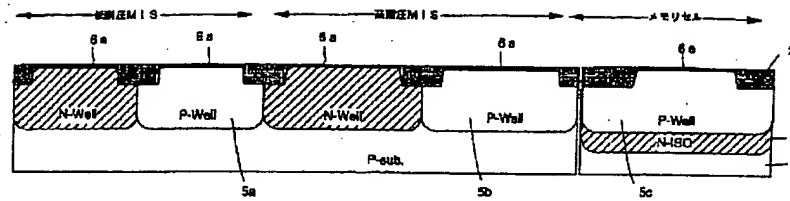
図7



(29)

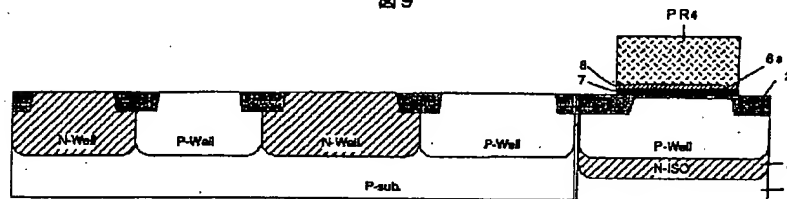
【図8】

図8



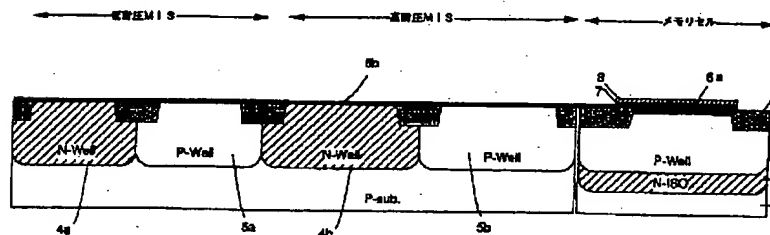
【図9】

図9



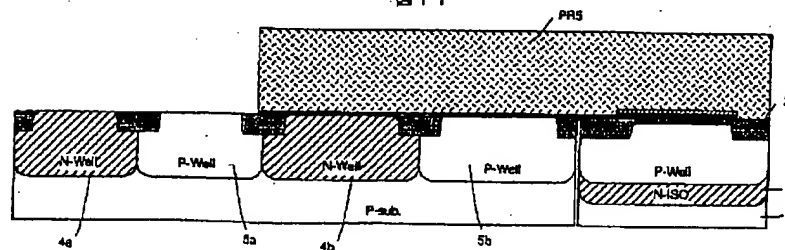
【図10】

図10



【図11】

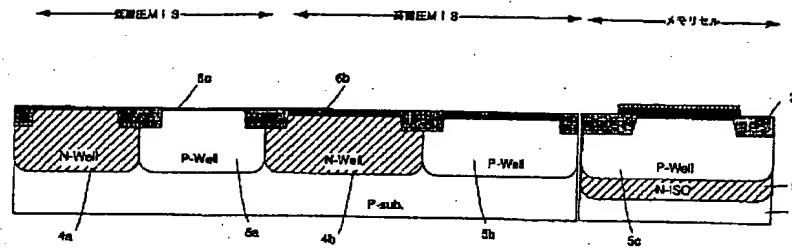
図11



(30)

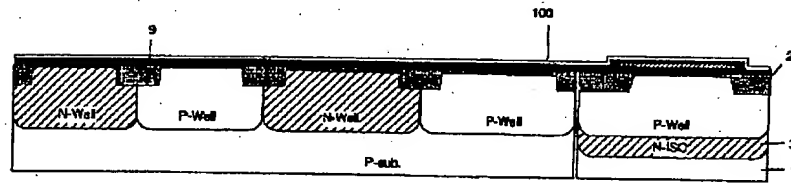
【図12】

図12



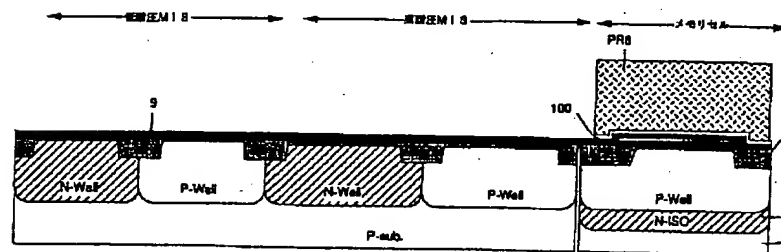
【図13】

図13



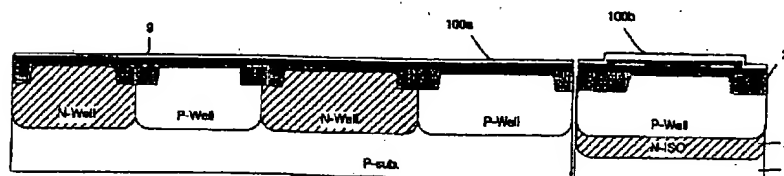
【図14】

図14



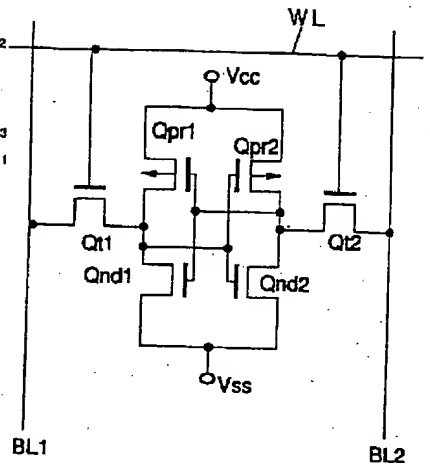
【図15】

図15

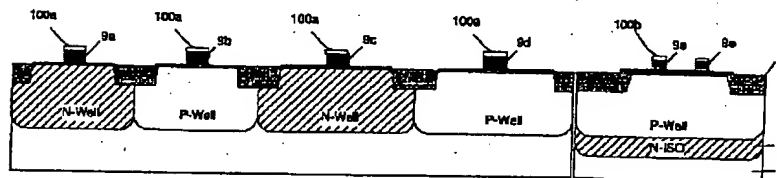


【図 35】

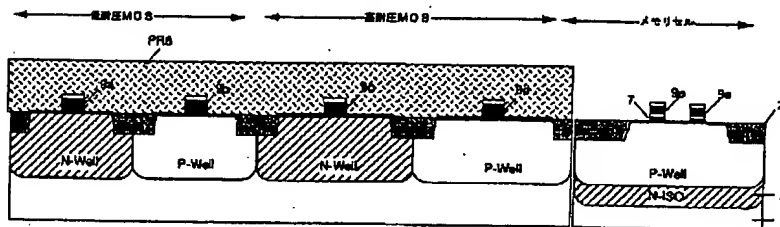
图35



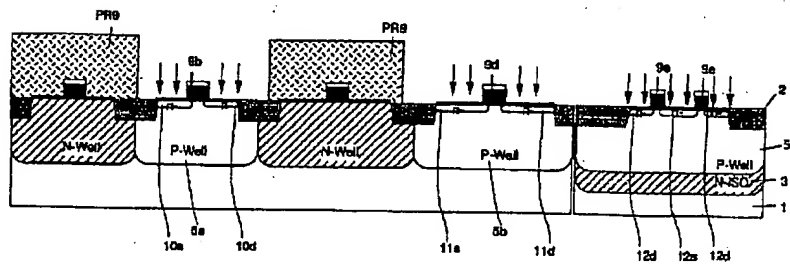
17



**18**



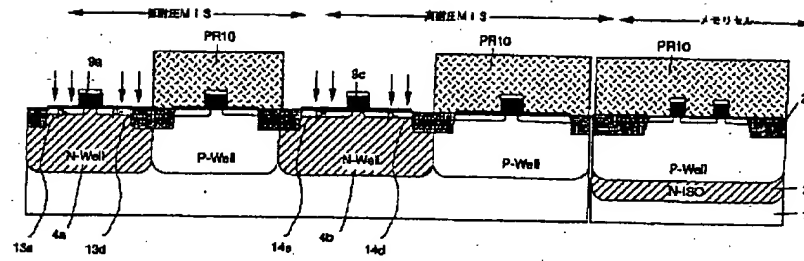
**圖19**



(32)

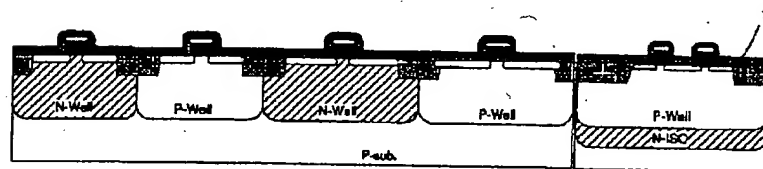
【図20】

図20



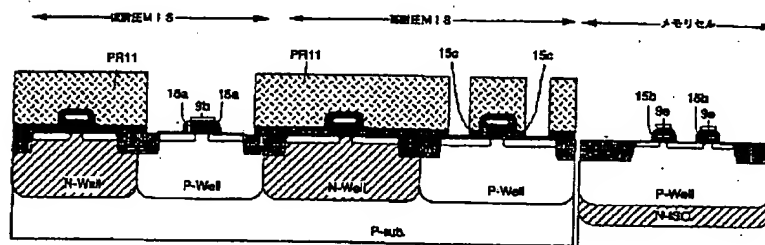
【図21】

図21



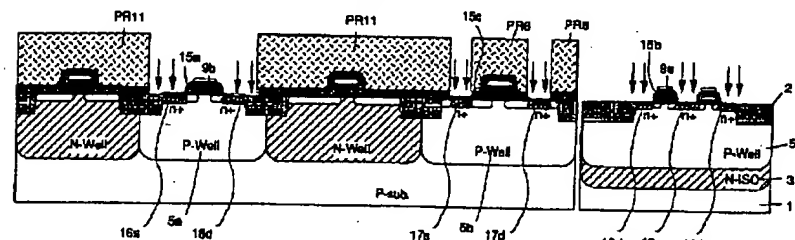
【図22】

図22



【図23】

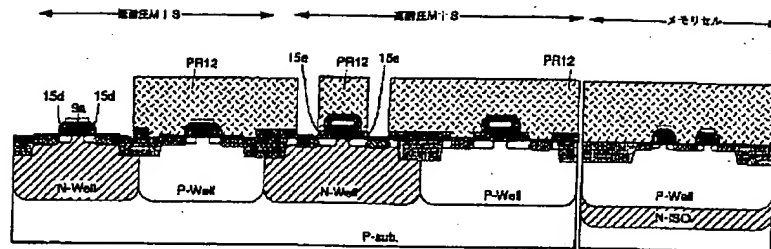
図23



(33)

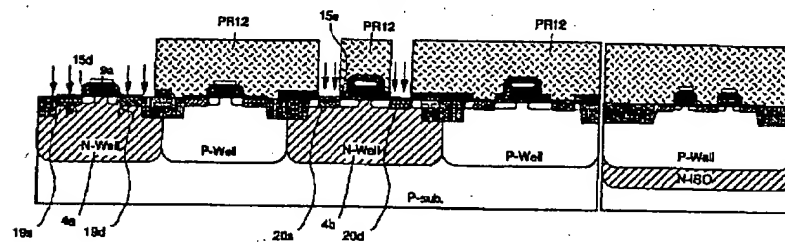
【図 24】

图24



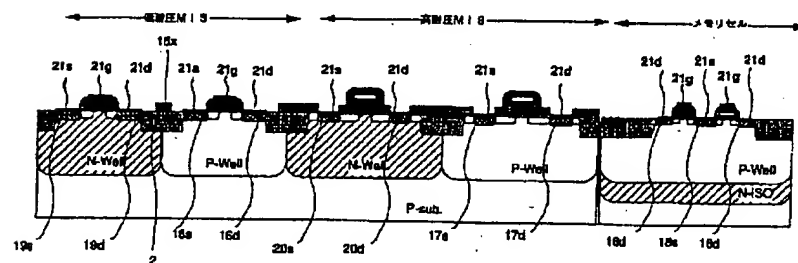
【図 25】

图25



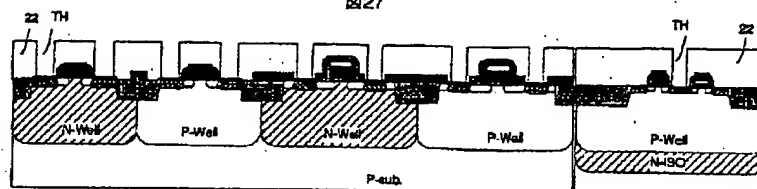
【图 26】

图26



【圖 27】

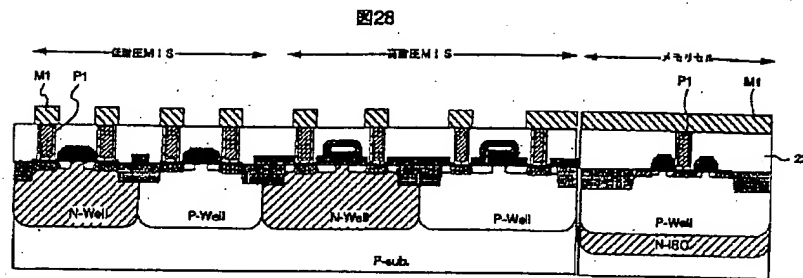
图27



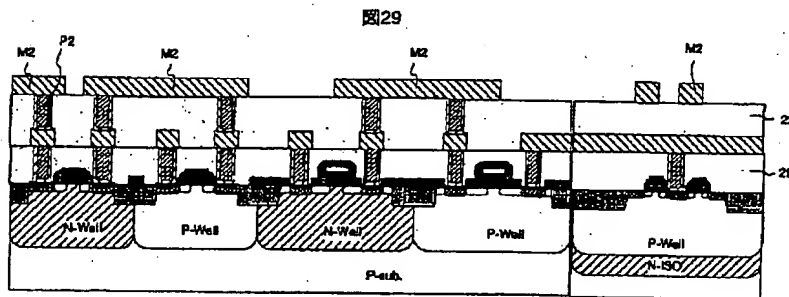


(34)

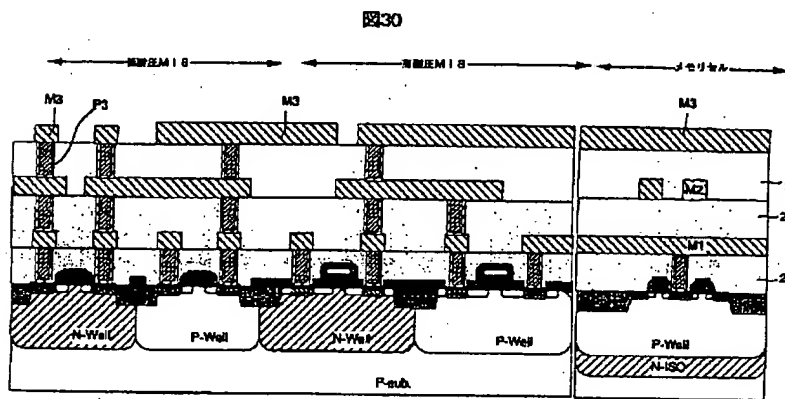
【図28】



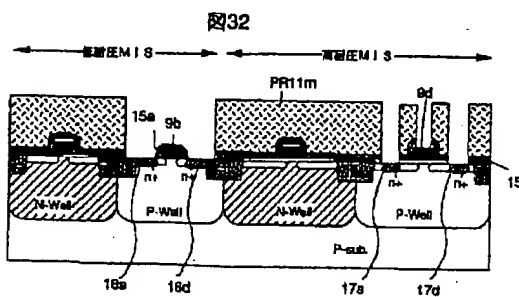
【図29】



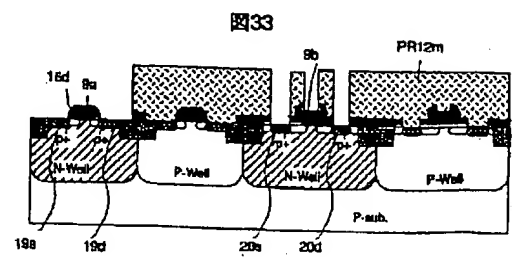
【図30】



【図32】



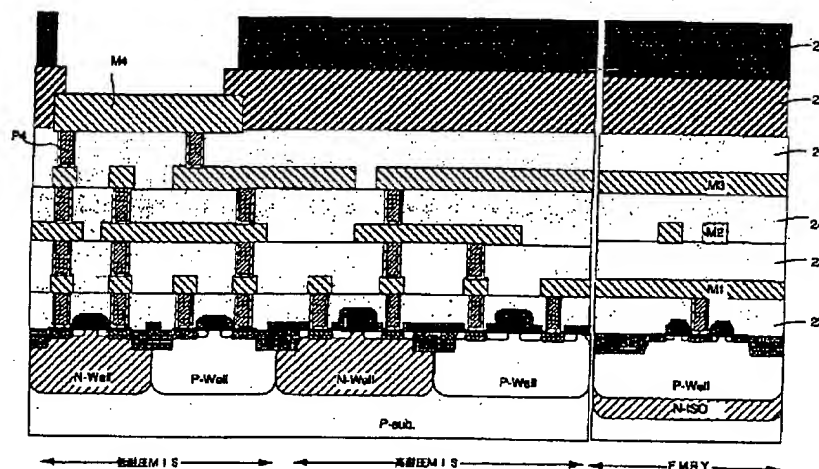
【図33】



(35)

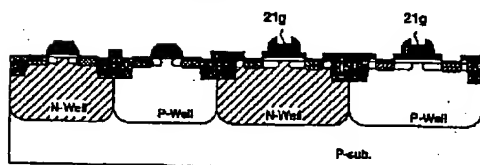
【図31】

図31



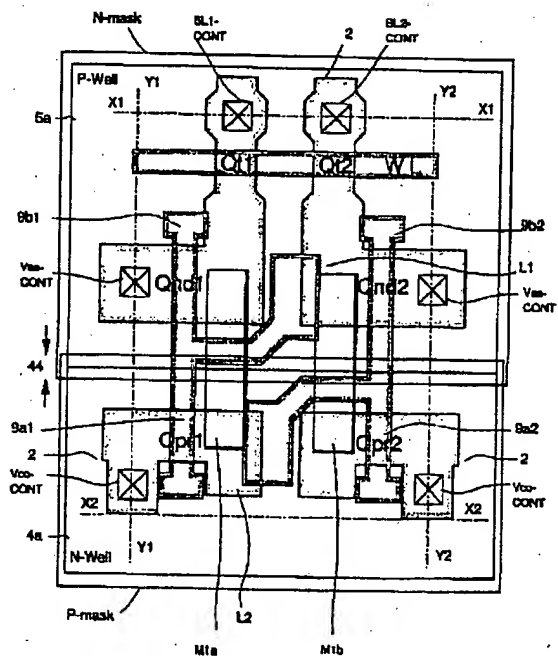
【図34】

図34



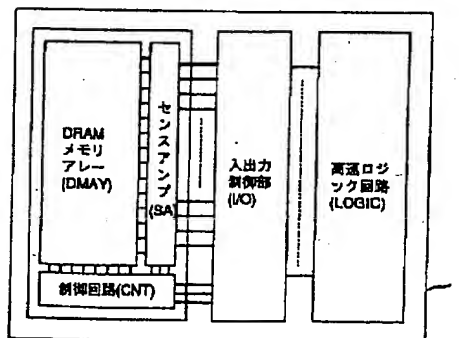
【図36】

図36



【図39】

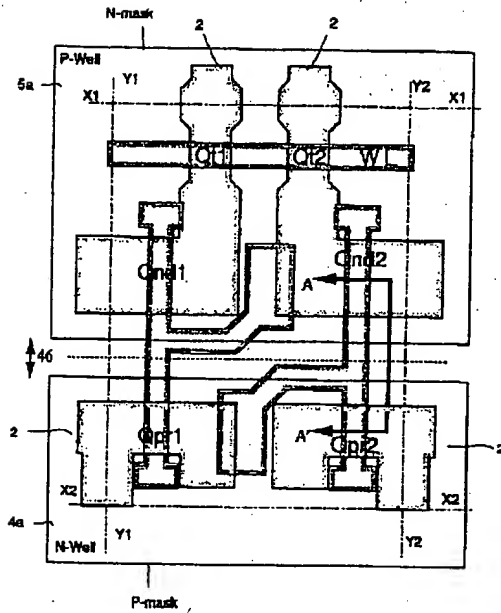
図39



(36)

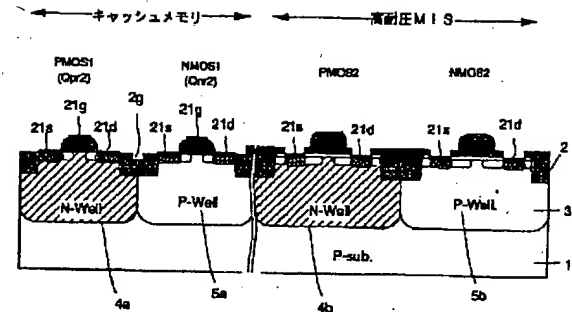
【図37】

図37



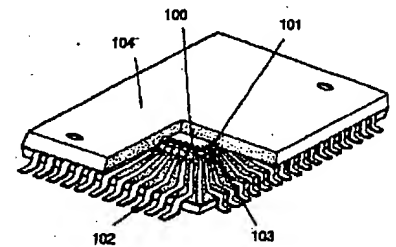
【図38】

図38



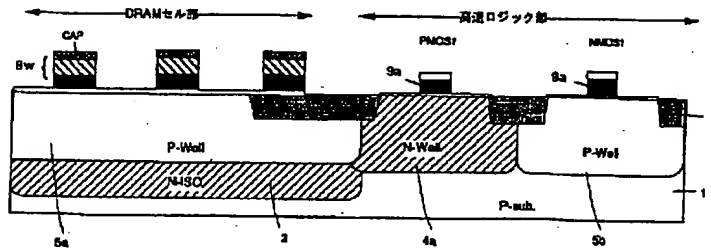
【図54】

図54



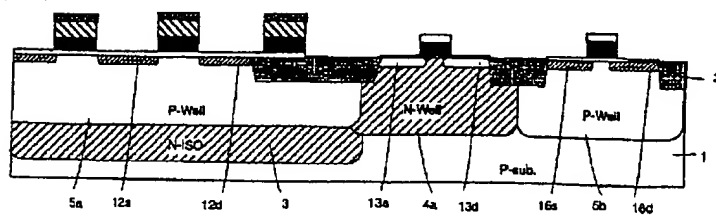
【図40】

図40



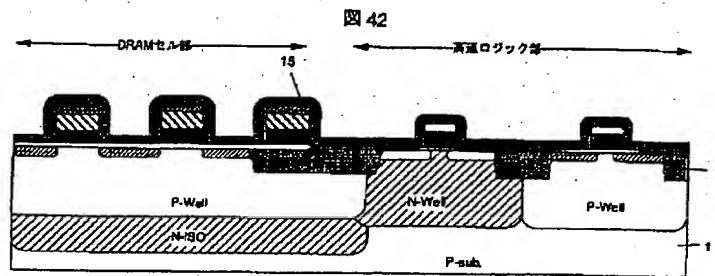
【図41】

図41

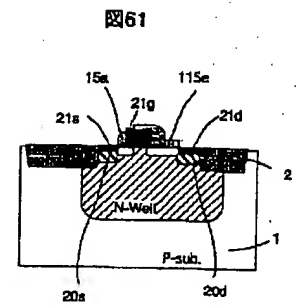


(37)

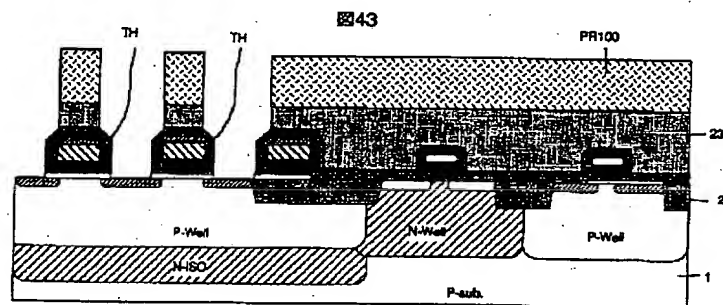
【図42】



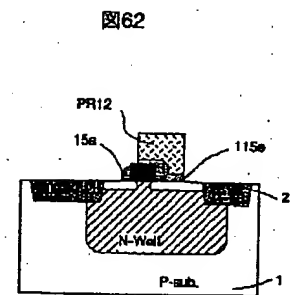
【図61】



【図43】

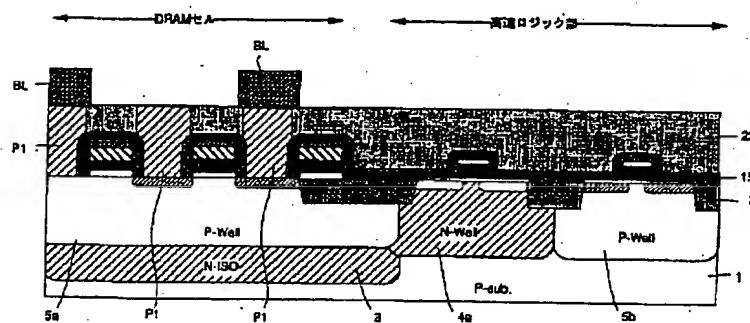


【図62】



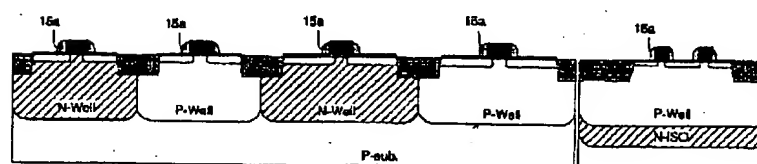
【図44】

図44



【図56】

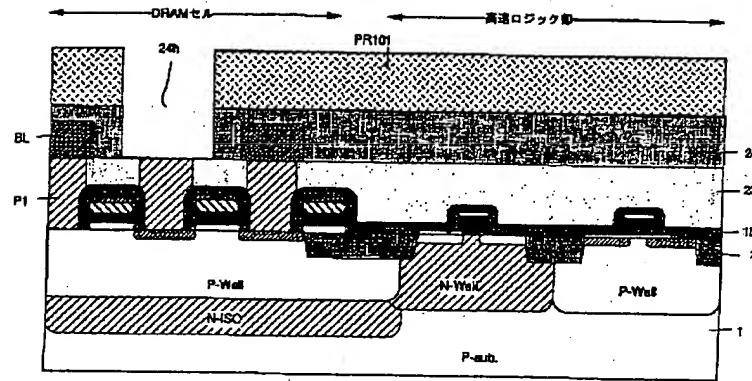
図56



(38)

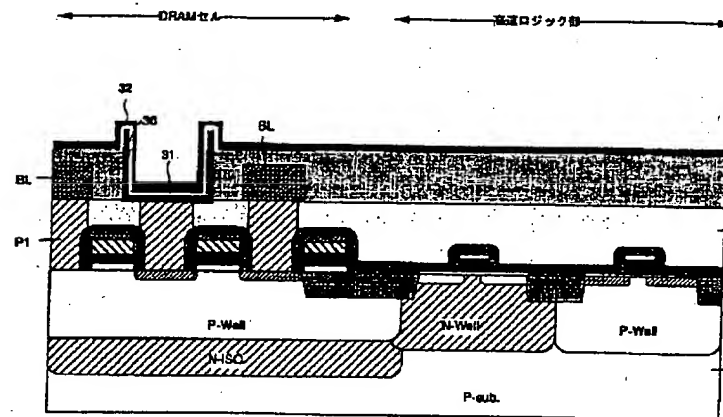
【図45】

図45



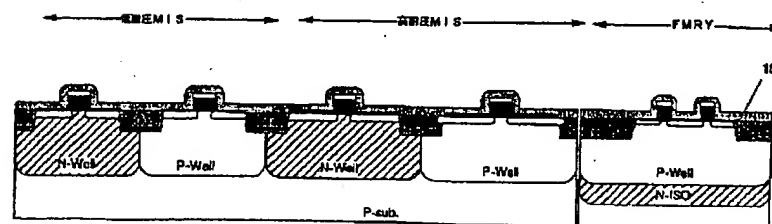
【図46】

図46



【図55】

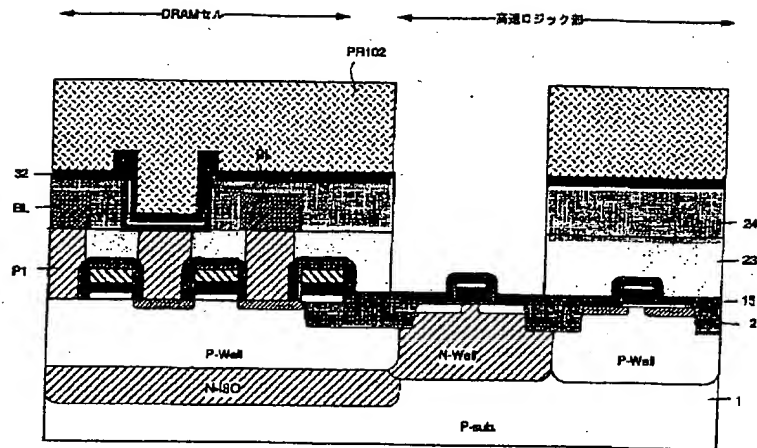
図55



(39)

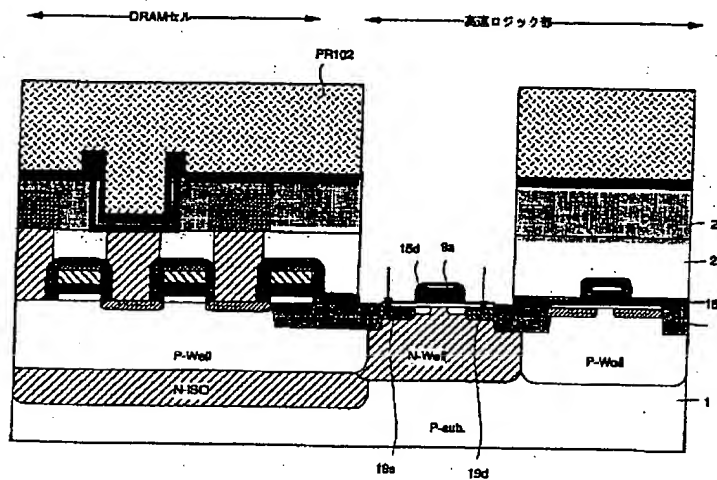
【図47】

図 47



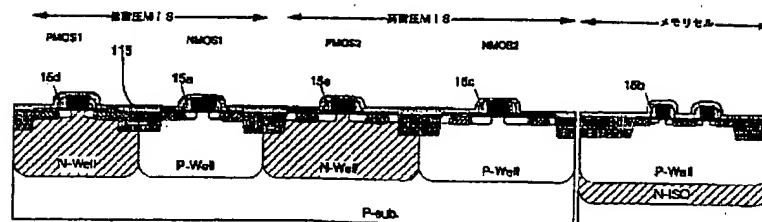
【図48】

図 48



【図57】

図57

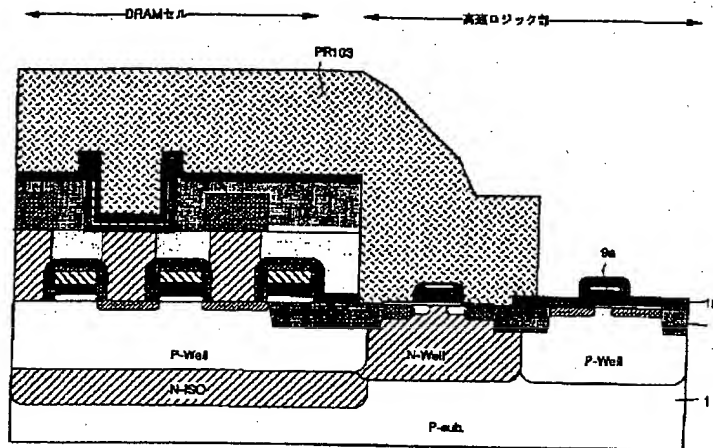




(40)

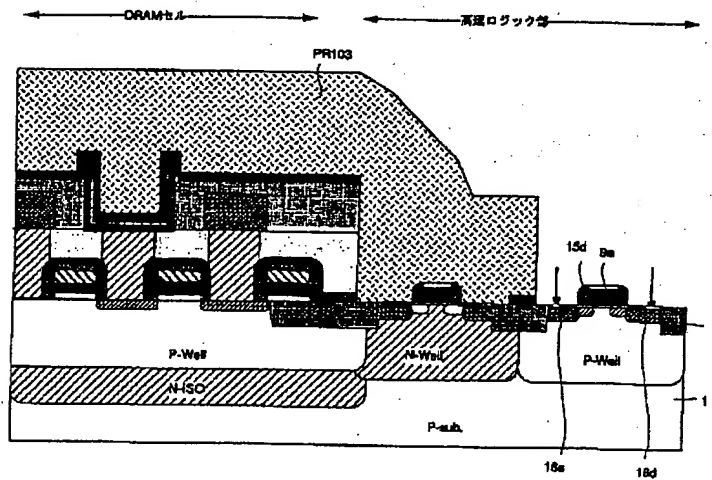
【図49】

図 49



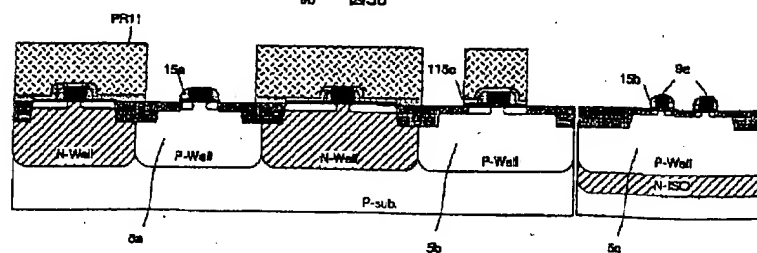
【図50】

図 50



【図58】

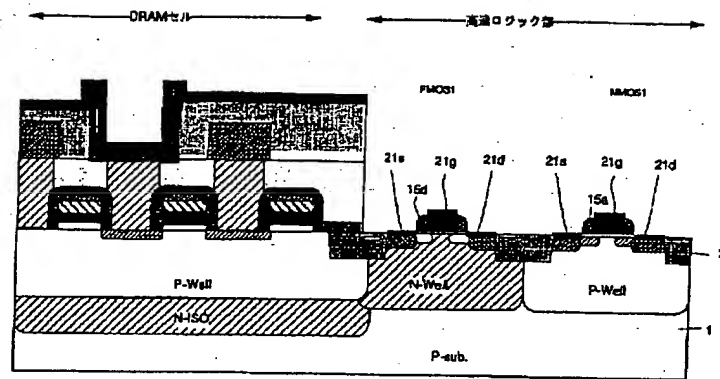
図58



(41)

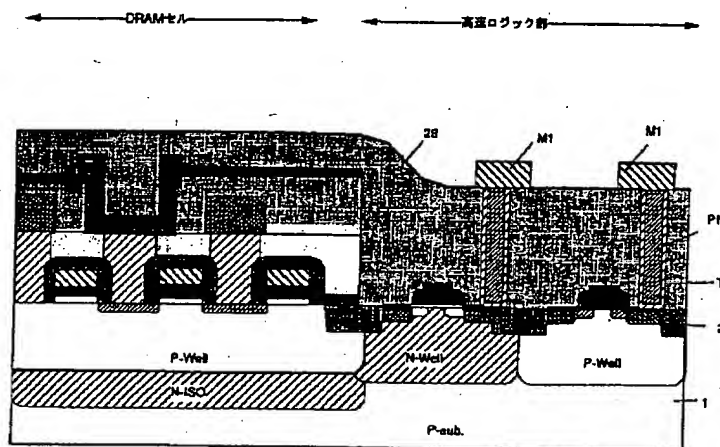
【図51】

図51



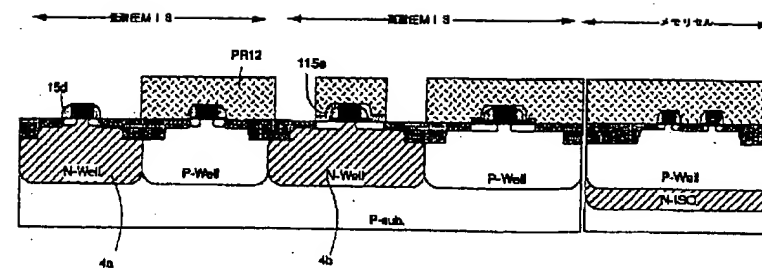
【図52】

図52



【図59】

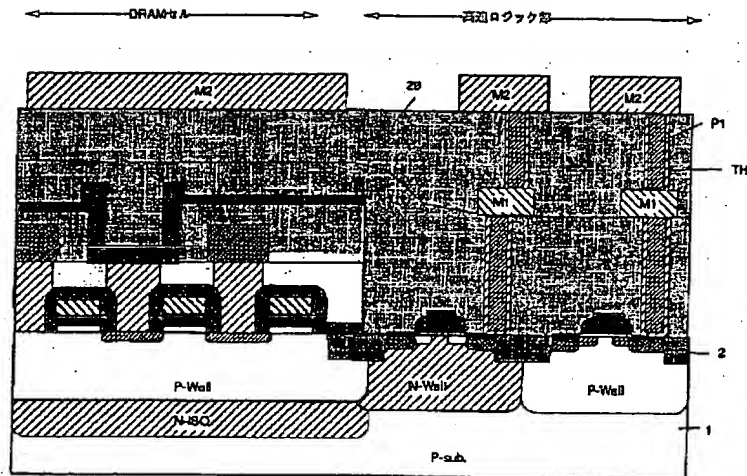
図59



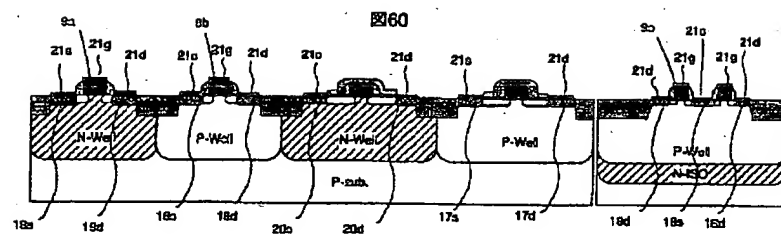
(42)

【図53】

圖 53



【図60】



フロントページの続き

(72)発明者 黒田 謙一  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内

(72)発明者 池田 修二  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内

(72)発明者 橋本 孝司  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内

```

Fターム(参考) 5F038 AC05 AC09 AC15 AC18 EZ20
                  5F083 AD10 AD24 BS11 BS23 BS27
                      EP23 EP55 EP56 EP63 EP68
                      ER22 ER23 FR02 GA01 GA05
                      GA28 HA01 JA04 JA06 JA14
                      JA15 JA32 JA35 JA36 JA39
                      JA40 JA53 JA56 LA01 LA03
                      LA07 LA10 MA03 MA05 MA06
                      MA16 MA17 MA20 NA01 PR09
                      PR21 PR29 PR39 PR40 PR43
                      PR45 PR53 PR55 ZA04 ZA05
                      ZA07 ZA12

```